

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/136

(11) 공개번호 2001-0078229
(43) 공개일자 2001년08월20일

(21) 출원번호	10-2001-0004782
(22) 출원일자	2001년02월01일
(30) 우선권주장	2000-024540 2000년02월01일 일본(JP)
(71) 출원인	가부시키가이사 한도오따이 에네투기 켄큐쇼 일본국 가나가와켄 아쓰기시 하세 398 야마자끼 순페이
(72) 발명자	야마자끼 순페이 일본국 가나가와켄 아쓰기시 하세398반치가부시키가이사한도오따이에네투기켄큐 쇼내
(74) 대리인	횡의만

설사(성구) : 없음

(54) 반도체 장치 및 반도체 장치의 제작방법

요약

플라스틱지지체(플라스틱막 및 플라스틱기판을 포함)를 사용하여 높은 성능의 전기장치를 제작하기 위한 기술이 제공된다. 본 발명은 발광장치를 위해 필요한 소자가 분리층 및 하층막사이에 위치하는 플라스틱보다 좋은 내열성을 가진 기판 위에 형성된 후에, 실내온도에서 소자 및 하층막이 처리에 의해 좋은 내열성을 가진 기판으로부터 컬라필터를 가진 플라스틱지지체 위로 이동하는 것을 특징으로 한다. 컬라필터는 접착층을 사용하여 소자의 하층막에 부착된다.

대표도

도1

영세서

도면의 간단한 설명

- 도 1은 본 발명에 의한 EL표시장치를 나타낸 도면;
- 도 2는 각 화소의 발광방향을 나타내는 도면;
- 도 3은 본 발명에 의한 EL표시장치의 평면도;
- 도 4는 실시예 1에서 EL표시장치의 제작처리를 나타낸 도면;
- 도 5는 실시예 1에서 EL표시장치의 제작처리를 나타낸 도면;
- 도 6은 실시예 1에서 EL표시장치의 제작처리를 나타낸 도면;
- 도 7은 실시예 1에서 EL표시장치의 제작처리를 나타낸 도면;
- 도 8은 실시예 2에서 EL표시장치의 제작처리를 나타낸 도면;
- 도 9는 실시예 2에서 EL표시장치의 제작처리를 나타낸 도면;
- 도 10은 본 발명에 의한 EL표시장치의 단자영역을 나타낸 도면;
- 도 11은 본 발명에 의한 EL표시장치의 외형을 나타낸 도면;
- 도 12는 액티브 마트릭스 액정 표시장치의 단면에서의 구조도;
- 도 13은 액정 표시장치의 화소영역의 단면에서의 구조도;
- 도 14는 컬라필터 화소배치의 예를 나타낸 도면;
- 도 15는 컬라필터 화소배치의 다른 예를 나타낸 도면;
- 도 16은 본 발명에 의한 표시장치의 제작처리를 나타낸 도면;
- 도 17은 본 발명에 의한 표시장치의 제작처리를 나타낸 도면;
- 도 18은 본 발명에 의한 표시장치의 제작처리를 나타낸 도면;

도 19는 본 발명에 의한 액티브 매트릭스형 액정표시장치의 외형을 나타낸 도면:

도 20은 단결정이 아닌 실리콘막에 관한 흡수율을 나타낸 도면:

도 21은 전자장치의 예를 나타낸 도면:

도 22는 전자장치의 다른 예를 나타낸 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 발광물질이 전극사이에 위치하는 소자(이하 발광소자로 시칭)를 가진 장치(이하 발광장치로 시칭) 또는 액정이 전극사이에 위치하는 소자(이하 액정소자로 시칭)를 가진 장치(이하 액정표시장치 또는 액정모듈로 시칭)를 포함한 반도체 장치, 및 이런 장치의 제작방법에 관한 것이다. 예를 들어, 본 발명은 액정표시장치 및 발광장치에 의해 대표되는 전기장치, 및 이런 전기장치(전자장치)가 부품으로서 장착되는 전기장비(전자장비)에 관한 것이다.

여기서 사용되는 대로, '반도체 장치'는 전기장치, 반도체회로, 및 전자장비를 포함하는 반도체의 특성을 이용하여 작용할 수 있는 여러 장치를 지칭한다는 것을 주목하자.

현재, 절연표면을 가진 기판 위에 형성된 반도체박막(수 내지 수백nm의 두께를 가진)을 이용한 박막트랜지스터(이하 TFT로 지칭)를 형성하기 위한 기술에 관심이 집중되고 있다. 박막트랜지스터는 IC등의 전자장치 및 전기장치에 넓게 적용된다. 특히, 액정표시장치 및 발광장치에서 스위치소자로서 박막트랜지스터가 실제로 사용되기 위해 활발하게 개발되고 있다.

또한, 유인한 풀리스틱막 위에 발광소자 또는 TFT를 형성하기 위한 최근의 경량(輕量)회로 장치의 추세로 무게를 줄이려고 한다. 하지만, 현재상태는 유리기판 위에 형성된 TFT와 비교해서 만족스런 TFT가 아직 제작되지 않고 있다. 전계발광형 물질(이하 EL물질로 지칭)을 이용한 발광소자(이하 EL소자로 지칭)를 사용한 발광장치(또한 발광디오드 또는 전계발광(EL)장치로 불리며, 이하 EL표시장치 또는 EL모듈로서 지칭)의 개발이 진행중이다. EL표시장치는 EL물질이 양극 및 음극사이에 위치하는 EL소자를 포함하는 구조로 된다. 양극 및 음극사이에 전극을 가하여, 전류가 EL물질에 흐르게 되고, 캐리어가 재결합하여 발광하게 된다. 이 방식에서, 발광소자는 지체적으로 EL표시장치에서 발광하는 성질을 가지고 있기 때문에, 액정표시장치에서 사용되는 백라이트(backlight)가 필요가 없다. 덧붙여서, EL표시장치는 넓은 시야각을 가지고, 경량이며 낮은 전력소모를 가진다.

킬라를 표시할 수 있는 EL표시장치를 제작하기 위해서, 적색, 녹색, 및 청색을 발광하는 EL소자가 행렬로 배치되는 방법, 및 백색발광의 EL소자가 칼리필터와 함께 사용되는 방법이 있다.

적색, 녹색, 및 청색을 발광하는 EL소자가 사용되는 EL표시장치에서, 각각의 길라로 발광하는 EL소자를 형성하기 위해 다른 EL물질이 사용되기 때문에, 따라서 소자특성이 다르며, 균일한 표시를 얻기 어렵다.

백색발광의 EL소자가 칼리필터와 함께 사용되는 칼라EL표시장치에서, R(적색), G(녹색), B(청색)칼리필터가 화소에 해당하는 위치에서 형성되고 따라서 각 화소로부터 발광하는 광의 색을 바꾼다. 화소에 해당하는 위치는 회소전극이 배치되는 위치를 의미한다는 것을 주목하자. 칼리필터는 R(적색), G(녹색), B(청색)칼라 층을 기저미, 차광마스크가 회소 사이의 룸을 제외하고 제공된다. 광전도성 칼라필터를 제작하여, 적색, 녹색, 청색의 광이 발광한다. 칼리필터의 차광마스크는 일반적으로 금속막 또는 검은색 인료를 험유한 유기막을 포함한다.

액정표시장치에서, 비정질 실리콘 또는 폴리실리콘의 반도체를 사용한 TFT가 행렬로 배치된다. 액정물질은 각 TFT에 연결된 화소전극, 소스선, 및 게이트선이 형성된 소자기판, 및 대향전극을 가지고 소자기판과 마주보도록 위치하는 대향기판사이에 위치한다. 칼라표시용 칼리필터는 대향기판 위에 형성된다. 원리적으로, 이런 액정표시장치는 위의 기술은 대로 칼리필터를 사용한 EL표시장치의 방식과 비슷하다. 또한, 편광판이 칼리영상을 표시하기 위한 광 서터로서 각각의 소자기판 및 대향기판에 위치한다.

또한, 차광마스크로서 금속막을 사용한 액정장치는 금속의 및 다른 배선사이에 형성된 기생용량에 의해 신호지연이 발생하기 쉬운 문제점을 가진다. 다른 배선으로부터 차광마스크를 절연하기 위해 유기막을 이용한 액정장치는 세척처리단계의 수가 증가하는 문제점을 가진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 풀리스틱 지자체(풀리스틱막 및 풀리스틱기판을 포함)를 사용한 고성능 전기장치를 제작하기 위한 기술을 제공하는 것이다.

발명의 구성 및 작동

본 발명은 필요한 소자기 풀리스틱에 비해 얇에 견고한 기판(유리기판, 석영기판, 실리콘기판, 금속기판, 또는 세라믹기판)위에 형성된 후에, 실온에서 소자가 처리에 의해 풀리스틱 지자체에 이동하는 것을 특정으로 한다.

액티브 매트릭스 전기장치의 경우에, 위의 필요한 소자라는 것은 회소, MIM소자, 및 발광소자의 스위치소자로서 사용되는 반도체소자(전형적으로 TFT)를 지칭한다는 것을 주목하자.

플라스틱 지지체로서, PES(polyethylene sulfite), PC(polycarbonate), PET(polyethylene terephthalate), 또는 PEN(polyethylene naphthalate)이 사용될 수도 있다.

본 발명의 한 민에 의해, 기판 위에 접착층, 접착층 위에 절연막, 및 절연막 위에 발광소자를 포함한 반도체 장지는 발광소자의 발광이 기판을 통해 발생한다는 점을 특징으로 한다.

반도체 장지에서, 기판은 유기물질을 포함한 플라스틱기판이다. 또한, 반도체 장지는 절연막 위에 구동회로를 포함하고, 발광소자 및 구동회로는 TFT를 포함한다.

또한, 반도체 장지에서, 칼라필터는 기판 위에서 발광소자가 배치된 위치에 제공된다. 여기서 칼라필터는 패터닝(patterning)된 하나의 갈리층(단색(單色))을 지정한다는 것을 주목하자. 또한, 반도체 장지는 절연막이 칼라필터를 뒤고 평탄한 것을 특징으로 한다. 또한, 반도체 장지는 적색칼라필터가 적어도 TFT의 채널형성영역이 배치된 위치에 제공되는 것을 특징으로 한다.

또한, 반도체 장지에서, 고정기판이 기판과 마주보도록 발광소자 위에 제공된다.

본 발명의 다른 민에 의해, 유기물질을 포함하고 제공된 TFT를 가진 제 1기판, 제 2기판, 및 제 1기판 및 제 2기판 사이에 힘유원 액정동질을 가진 반도체 장지는 칼라필터가 제 1기판 및 TFT사이에 제공되는 것을 특징으로 한다.

반도체 장지에서, 유기물질을 포함한 제 1기판은 플라스틱기판이다. 또한, 반도체 장지는 칼라필터를 뒤고 평탄한 절연막을 또한 포함하는 것을 특징으로 한다. 또한, 반도체 장지는 칼라필터가 적어도 TFT의 채널형성영역이 배치된 위치에 제공되는 것을 특징으로 한다. 또한, 반도체 장지는 칼라필터와 함께 플렉미스크를 또한 포함하는 것을 특징으로 한다.

본 발명의 역시 다른 민에 의해, 제 1기판 위에 분리층을 형성하는 단계, 분리층위에 절연막을 형성하는 단계, 절연막위에 발광소자를 형성하는 단계, 제 1접착층을 사용하여 발광소자 위에 고정기판을 접착하는 단계, 제 1기판을 분리하기 위해 분리층을 할로겐 불화물이 힘유원 기스에 노출하여 제거하는 단계, 및 제 2기판을 제 2접착층을 사용하여 절연막에 접착하는 단계를 포함하는 반도체 장지의 제작방법은 제 2기판이 칼라필터를 가지는 것을 특징으로 한다.

반도체 장지의 제작방법은 제 2기판이 풀라스틱 기판이라는 것을 특징으로 한다. 또한, 반도체장지의 제작방법은 분리층이 실리콘을 함유한 막인 것을 특징으로 한다.

또한, 반도체장지의 제작방법은 칼라필터가 제 2기판의 측에서 보여지는 대로 액티브 층과 함께 배치되는 것을 특징으로 한다. 또한, 반도체장지의 제작방법은 액티브 층과 함께 배치된 칼라필터가 적색칼라필터라는 것을 특징으로 한다.

본 발명의 또 다른 민에 의해, 제 1기판 위에 분리층을 형성하는 단계, 분리층위에 절연막을 형성하는 단계, 절연막위에 액티브층, 게이트절연막, 및 게이트전극을 형성하는 단계, 게이트전극을 뒤기 위해 제 1중간절연막을 형성하는 단계, 제 1중간절연막 위에 배신 및 회소전극을 형성하는 단계, 대향전극이 제공된 고정기판을 일봉재를 사용하여 제 1기판에 접착하는 단계, 회소전극 및 대향전극사이에 액정을 주입하는 단계, 제 1기판을 분리하기 위해 분리층을 할로겐 불화물이 힘유원 기스에 노출하여 제거하는 단계, 및 제 2기판을 접착층을 사용하여 절연막에 접착하는 단계를 포함하는 반도체 장지의 제작방법은 제 2기판이 칼라필터를 가지는 것을 특징으로 한다.

또한, 반도체장지의 제작방법은 칼라필터가 제 2기판의 측에서 보여지는 대로 액티브 층과 함께 배치되는 것을 특징으로 한다. 또한, 반도체장지의 제작방법은 액티브 층과 함께 배치된 칼라필터가 적색칼라필터라는 것을 특징으로 한다.

반도체 장지의 제작방법은 제 2기판이 풀라스틱 기판이라는 것을 특징으로 한다. 또한, 반도체 장지의 제작방법은 고정기판이 투광성 기판이라는 것을 특징으로 한다.

또한, 반도체 장지의 제작방법은 분리층이 실리콘을 함유한 막인 것을 특징으로 한다.

제 1기판을 제거하기 위한 분리층 제거의 단계는 통상적인 방법, 예를 들어 실리콘 분리층으로서 사용될 수도 있는 경우에는 분리가 레이저 광선의 조사(照射)에 의해 이루어 질 수도 있다.

(실시형태 1)

도 1은 본 발명에 의한 EL 표시장치를 나타낸다.

히층막(12)은 제 2접착층(58)을 사용하여 플라스틱기판(제 2기판)(11)에 접착된다. 회소부를 형성하기 위한 소위치용 TFT(201) 및 전자제어용 TFT(202), 및 구동회로를 형성하는 p형N형TFT(205) 및 n형N형TFT(204)는 히층막(12)위에 제공된다. 각각의 TFT는 TFT의 액티브층(채널형성영역(17a, 17b, 29, 38, 및 42), 소스영역(13, 26, 35, 및 40), 드레인영역(14, 27, 36, 및 41), 및 LDD영역(15a, 15b, 15c, 15d, 및 37)을 포함), 액티브층을 뒤는 게이트 절연막(18), 게이트 절연막을 통해 채널형성영역과 함께 배치된 게이트전극(19a, 19b, 30, 39, 및 43), 게이트전극을 뒀는 제 1중간절연막(20), 제 1중간절연막(20)위의 소스배선(21, 31, 44, 및 45) 및 드레인배선(22, 32, 및 46)을 포함하고 액티브층, 소스배선 및 드레인배선을 뒤는 세 1매시베이션막(47), 제 1매시베이션막(47)을 뒀는 제 2중간절연막(48)에 도달한다. 전류제어용 TFT(202)에서, 회소전극(양극)(49)은 제 2중간절연막(48)에 위치하고 드레인배선(32)에 도달하며, EL층(51)은 회소전극(49)에 위치하고, 음극(52)은 EL층위에 있으며, 보호전극(53)은 음극(52)위에 위치한다.

또한, 제 1접착층(55)은 보호전극(53)을 뒤기 위한 제 2매시베이션막(54)을 위해 고정기판(56)에 제공된다. 고정기판(56)은 소자가 기판에서 분리될 때 소자를 고정시키기 위한 것이고, 유리기판, 석영기판, 세리악기판, 실리콘기판, 또는 플라스틱기판이 될 수도 있다.

도 1에 나타낸 EL표시장치의 발광방향은 도 1의 화살표에 의해 나타낸 방향이다. 발광은 칼라필터(57) 및 제 2기판(11)을 통해 발생된다.

본 발명의 특성 중의 하나는 칼라필터(57)가 제 2기판(11)의 접착면에 제공된다는 것이다. 또한, 도 3에 나타낸 대로, 본 발명의 다른 특성은 칼라필터(57)가 제 2기판(11) 위에서 구동회로영역(게이트선족 구동회로(303) 및 소스선족 구동회로(304)) 및 화소부(302)의 TFT소자를 위한 차광막(遮光幕)으로 배치된다는 것이다. 또한, 도 2는 각각 회소부(R)(301), 회소부(G)(302), 및 회소부(B)(303)에 해당하는 칼라필터(304 내지 308)의 예를 나타낸다. 특히, 칼라필터가 차광막으로 사용되는 경우에 적색칼라필터는 필터를 통과하는 광의 파장이 짧고 단결점이 아닌 실리콘막에 거의 영향이 없기 때문에 효과적이다. 참고적으로, 도 20은 두께 55nm의 단결점이 아닌 실리콘막의 흡수율 및 조사되는 광의 파장사이의 관계를 나타낸다.

본 발명에 의해, 광에 의한 기능감소로부터 징치를 보호하기 위해, 칼라필터(R)는 TFT의 게이트전극아래, 즉 채널형성영역의 아래에 형성된다.

또한, 칼라필터의 배치에 관해서, 가장 간단한 배열, 경사진 모자이크배열, 삼각형 모자이크배열, RGBG의 네 개의 회소배열 등을 경사진 형태로 사용할 수도 있다.

보호절연막은 플라스틱기판 위에서 칼라필터를 보호하기 위해 형성될 수도 있다는 것을 주목하자. 보호절연막은 칼라필터에 포함된 불순물에 의한 오염을 방지하는 중요한 역할을 한다. 보호절연막을 형성하여, 기능감소를 일으키기 쉬운 칼라필터는 보호될 수 있다. 덧붙여서, 내열성(耐熱性)이 향상된다. 또한, 칼라필터를 닦는 평판화용 절연막이 형성될 수도 있다. 덧붙여서, 검은색 매트릭스가 칼라필터와 함께 형성될 수도 있다.

본 발명에 의해, 반도체 장치를 제작하는 방법은 TFT소자기 실리콘막(실리콘 개로미늄막을 포함)을 포함한 분리층(100 내지 500nm의 두께)위에 형성되고, 최종처리에서 분리층이 할로겐 물회물이 함유된 기수를 사용하여 제거된다는 것을 특징으로 한다. 결과적으로, 각 소자는 기판으로부터 분리되고, 이후에 플라스틱자자체에 소자를 부착할 수 있다. 할로겐 물회물은 이용한 실리콘막의 애칭이 실온에서 쉽게 처리되기 때문에, 낮은 내열성을 가진 빙성소자가 형성된 후에도 애칭이 아무런 문제없이 이루어질 수 있다.

할로겐 물회물은 XFn (X는 물소와는 다른 할로겐이고, n은 정수이다)로시 대표되는 물질이고, 물회암소(ClF_5), 삼불화염소(ClF_3), 물회브롬(BrF_3), 삼불화브롬(BrF_5), 물화요오드(IF_5), 및 삼불화요오드(IF_3)를 포함한다. 실리콘막은 결정질 실리콘막 또는 비정질 실리콘막이 될 수도 있다. 실리콘막 및 실리콘 산화막사이에서 할로겐 물회물의 선택비율이 크기 때문에, 실리콘막은 선택적으로 애칭이 될 수 있다.

비록 위에 기술한대로 실리콘막을 할로겐 물회물에 노출하여 간단하게 애칭이 될 수 있지만, 만약 물회물이 불리조마상태에 있다면 다른 물회물(카본 테트라플로리아드(CF_4) 또는 삼불화질소)이 본 발명에서 역시 사용될 수도 있다는 것을 주목하자.

또한, TFT소자는 물리적 작용(빛, 열등), 화학적 작용(화학약품의 반응 등), 또는 기계적 작용(인장력, 진동 등), 또는 TFT소자 위에서 이런 작용의 조합의 한가지작용에 의해 기판으로부터 분리될 수도 있다.

이것은 플라스틱기판 위에 만족스런 특성을 가진 TFT를 제공하고, 무게가 더욱 가벼운 디표시장치를 만들 수 있게 한다. 또한, 조합이 쉬워진다.

(실시형태 2)

도 12는 본 발명에 의한 액정표시장치를 나타낸다.

칼라필터(1106)는 제 2기판(플라스틱기판)(1108)에 제공된다. 칼라필터(1106)는 제 1접착층(1107)을 사용하여 TFT소자의 하층막에 접착된다. 적색, 청색, 및 녹색화소 중에서, 여기서는 적색화소부가 설명된다는 것을 주목하자. 또한, 대형전극(1002) 및 배향막(1003)이 고정기판(1001)에 제공된다. 고정기판은 광부과 성기판이라는 것에 주목하자. TFT소자는 나타내지 않은 밀봉재에 의해 고정기판에 접착된다. 액정(1004)은 회소부의 회소전극 및 대향기판(1002)사이에 위치한다.

도 12에서, 가장 특징적인 점은 기판이 칼라필터를 가진 면과 함께 서로 접착된다는 점이다. 또한, 칼라필터는 도 14 또는 도 15에 나타낸 대로 배치된다. 이런 방법으로 칼라필터가 TFT소자용 차광막으로서 구동회로부 및 화소부에서 배치되는 경우에, 적색칼라필터는 필터를 통과하는 광의 파장이 짧고 단결점이 아닌 실리콘막에 거의 영향이 없기 때문에 효과적이다. 또한, 칼라필터로 형성된 지광막 및 TFT의 반도체막사이의 기리가 짧기 때문에, 차광이 효과적으로 이루어질 수 있다. 이것은 플라스틱기판 위에 만족스런 특성을 가진 TFT를 제공하고, 무게가 더욱 가벼운 액정표시장치를 만들 수 있게 한다. 또한, 조합이 쉬워진다.

위의 기술된 대로 구조화된 본 발명은 이하의 실시예를 참조로 하여 설명한다.

[실시예 1]

본 발명에 의한 실시예에는 도 4 내지 도 7을 참고로 하여 설명한다. 여기서, 제 1기판(500)위에 화소부의 TFT 및 화소부주변에 제공된 구동회로부의 TFT를 동시에 형성하는 방법을 설명한다. 간편함을 위해 CMOS회로가 기본회로로서 구동회로에 관해 설명한다는 것을 주목하자.

도 4A에서, 100 내지 500nm(본 실시예에서는 300nm)의 두께를 가진 비정질 실리콘 막을 포함한 분리층(501a)이 소자가 형성되는 기판(이하 소자형성기판으로 지칭)(500)위에서 형성된다. 비록 유리기판이 본 실시예에서 소자형성기판(제 1기판)(500)으로서 사용되지만, 석영기판, 실리콘기판, 금속기판, 또는 세라믹기판이 또한 사용될 수도 있다. 반도체소자 또는 발광소자를 가진 기판을 이런 적용을 통하여 소자형성기판으로 역시 지정한다는 것을 주목하지.

분리층(501a)은 낮은 압력의 열CVD, 플라즈마CVD, 스퍼터링, 또는 증착법에 의해 형성된다. 200nm의 실리콘 산화막을 포함한 설연막(501b)이 분리층(501a)에 형성된다. 설연막(501b)은 낮은 압력의 열CVD, 플라즈마CVD, 스퍼터링, 또는 증착법에 의해 형성될 수도 있다.

그 다음, 두께 50nm의 비정질 실리콘막(502)은 공기된 액정성방법을 사용하여 설연막(501b)위에 형성된다. 막은 비정질 실리콘막에 세한되지 않고, 결점들이 아닌 구조를 포함한 반도체막(미세결정질 반도체막을 포함)으로 역시 지정된다.

함)으로 될 수도 있다는 것을 주목하자. 또한, 막은 비정질 실리콘 게르마늄막과 같은 비정질구조를 포함한 회립물 반도체막이 될 수도 있다.

여기서부터 도 4C에 나타낸 처리까지는 본 발명의 적용에 의해 출원된 일본특허공개공보 평 10-247735호에서 공개된 처리와 같다. 일본특허공개공보 평 10-247735호는 축매로서 Ni의 원소가 쓰이는 반도체 막의 결정화방법에 대한 기술이 공개된다.

먼저, 개구부(503a 및 503b)를 가진 보호막(504)이 형성된다. 이 실시예에서, 150nm의 두께를 가진 실리콘 산화막이 사용된다. 그 다음, 니켈을 함유한 층(505)이 소핀 코팅방법에 의해 보호막(504)위에 형성된다. 니켈함유층(505)의 형성에 관해서는 위의 특허공개를 참고한다.

그 다음, 도 4B에 나타낸 대로, 열처리가 비정질 실리콘막(502)을 결정화하기 위해 570°C의 불활성분위기에서 14시간동안 이루어진다. 여기서, 시작점으로서 Ni과 접촉하는 영역(506a 및 506b)과 함께, 결정화가 실질적으로 막에 비슷한 결정으로 배열된 결정구조를 가진 중합실리콘막(507)을 형성하기 위해 기판에 평행하게 처리된다.

다음으로, 도 4C에 나타낸 대로, 15족에 속하는 원소(바람직하게, 인)가 마스크로서 보호막(505)과 함께 Ni이 첨가된 영역(506a 및 506b)에 참가된다. 이런 방법으로, 인이 고농도로 첨가된 영역(508a 및 508b) (이하 인이 첨가된 영역으로 지칭)이 형성된다.

그 다음, 도 4C에 나타낸 대로, 열처리는 600°C의 불활성 분위기에서 12시간동안 이루어진다. 이 열처리는 중합실리콘막(507)에 존재하는 Ni이 회설표로 나타낸 대로 인이 첨가된 영역(508a 및 508b)에서 최종적으로 거의 모두 포획(捕獲)되도록 이동시킨다. 이것을 인에 의한 금속원소(이 실시예에서는 Ni)의 게터링(gathering)효과에 의해 일어나는 현상으로 생각된다.

이 처리는 중합실리콘막(509)에 남는 Ni의 농도를 SIMS(secondary ion mass spectroscopy)로 측정한 값을 적어도 2×10^{17} atoms/cm²으로 낮추게 한다. 이런 정도로 낮춰진 Ni은 TFT특성에 불리한 효과를 주지는 않는다. 또한, 이 농도는 현재 SIMS를 사용한 측정한치이기 때문에, 실제농도(2×10^{17} atoms/cm² 또는 그 이하)는 더욱 낮아진다.

이런 방법으로, 중합실리콘막(509)은 TFT의 동작에 영향을 주지 않을 정도로 낮은 농도의 측매를 사용하여 결정화로 이루어진다. 이 후에, 액티브층(510 내지 513)은 패터닝에 의해 오직 중합실리콘막(509)을 사용하여 형성된다. 차후에 패터닝에서 마스크를 맞춤용 마커스(markers)를 중합실리콘막을 사용하여 형성하는 것이 바람직하다는 점을 주목하자(도 4D).

그 다음, 실리콘 산화질화물막이 플라즈마CVD에 의해 50nm의 두께로 형성된다. 그 다음, 열처리는 열선화 처리를 이루어 위해 950°C의 산화분위기에서 1시간동안 이루어진다. 산화분위기는 산소분위기 또는 환로겐 원소가 첨가된 산소분위기가 될 수도 있다는 것을 주목하자.

이 열선화처리에서, 산화는 액티브층 및 실리콘 산화질화물막사이의 접촉에서 이루어진다. 15nm의 중합실리콘막은 산화되고 약 30nm의 실리콘 산화막으로 형성된다. 따라서, 30nm의 실리콘 산화막 및 50nm의 실리콘 산화질화물막이 적층되고 80nm의 게이트절연막(514)이 형성된다. 액티브층(510 내지 513)의 두께는 열선화처리에 의해 30nm로 된다(도 4E).

도 5A에 나타낸 대로, 레지스터 마스크(515a 및 515b)가 형성되고, p형을 위한 불순물원소(이하 p형 불순물원소로 지칭)를 통해 참가된다. p형 불순물원소로서, 대표적으로 15족에 속하는 원소, 전형적으로 봉소 또는 갈륨이 사용될 수 있다. 이 처리(채널첨가처리로서 지칭)는 TFT의 문턱전압(threshold voltage)을 제어하기 위한 처리이다.

이 실시예에서, 봉소는 디보란(B₂O₃)을 이온첨가방법으로 참가되고, 질량분리가 없이 여기(勵起)된 플라즈마로 사용된다는 것을 주목하자. 물론, 질량분리의 이온주입이 역시 사용될 수도 있다. 이 처리에 의해, 1×10^{19} 내지 1×10^{20} atoms/cm²(전형적으로 5×10^{19} 내지 5×10^{20} atoms/cm²)의 농도로 봉소를 함유한 불순물영역(516 및 517)이 형성된다.

그 다음, 도 5B에 나타낸 대로, 레지스터 마스크(519a 및 519b)가 형성되고, n형을 위한 불순물원소(이하 n형 불순물원소로 지칭)가 게이트절연막(514)을 통해 참가된다. n형 불순물원소로서, 대표적으로 15족에 속하는 원소, 전형적으로 인 또는 비소가 사용될 수 있다. 이 실시예에서, 인은 질량분리가 없이 여기(勵起)된 포스핀(PH₃) 플라즈마를 사용한 플라즈마첨가에 의해 약 1×10^{18} atoms/cm²의 농도로 참가된다는 것을 주목하자. 물론, 질량분리의 이온주입이 역시 사용될 수도 있다.

첨가된 n형 불순물원소가 이 처리에 의해 형성된 n형 불순물영역(520)에서 2×10^{18} 내지 5×10^{19} atoms/cm²(전형적으로 5×10^{19} 내지 5×10^{20} atoms/cm²)의 농도가 되도록 조절된다.

그 다음, 도 5C에 나타낸 대로, 첨가된 n형 불순물원소 및 p형 불순물원소는 활성화된다. 비록, 활성화수단에 관한 제한은 있지만, 게이트절연막(514)이 제공되기 때문에 전기적으로 기울하는 노(爐)를 사용하는 노(爐)에 아날링(annealing)이 바람직하다. 또한, 도 5A에 나타낸 처리가 채널형성연역이 되는 부분에서 액티브층 및 게이트절연막 사이의 접촉면에 손상을 줄 수도 있기 때문에, 열처리는 가능하면 높은 온도에서 이루어지는 것이 바람직하다.

이 실시예에서, 내열성의 결정화된 유리기 사용되기 때문에, 활성화처리가 800°C에서 1시간동안 노(爐)에 의해 이루어진다. 열선하는 산화분위기에서 이루어질 수도 있거나, 또는 열처리가 불활성분위기에서 이루어질 수도 있다는 것을 주목하자.

이 처리는 n형 불순물영역(520)의 단부부분, 즉 n형 불순물영역(520) 및 n형 불순물영역(520) 주위에 존재

하고 n형 불순물원소가 첨가되지 않은 영역(도 5A에 나타낸 처리로 형성된 p형 불순물영역) 사이의 접촉부분(결합부분)을 깨끗하게 한다. 이것은 TFT가 차후에 완성될 때, LDD영역 및 채널형성영역이 매우 만족스럽 결합부분으로 형성될 수 있다는 것을 의미한다.

다음으로, 200 내지 400nm의 두께를 가진 전도성 막이 형성되고 게이트전극(521 내지 524)을 형성하기 위해 페터닝이 된다. 비록 게이트전극이 단일층 전도성막으로 형성될 수도 있지만, 상황에 따라 이층, 삼층, 또는 그 이상의 적층막으로 형성되는 것이 바람직하다. 게이트전극용 물질로서, 공자된 물질이 사용될 수도 있다.

더욱 구체적으로, 틴탈(Ta), 티탄(Ti), 몽리브덴(Mo), 텅스텐(W), 크롬(Cr), 알루미늄(Al), 구리(Cu), 은(Ag), 또는 전도성 실리콘(Si)으로부터 선택된 원소를 포함한 막. 이런 물질의 접화물막(대표적으로, 텐탈 접화물막, 텅스텐접화물막, 또는 티탄접화물막). 이런 물질의 합금(대표적으로 Mo-W합금 또는 Mo-Ta합금)을 포함한 막, 또는 이런 물질의 규화물막(대표적으로 텅스텐규화물막 또는 티탄규화물막)이 사용될 수 있다. 물론, 단일층이 사용될 수도 있고 적층이 사용될 수도 있다.

이 실시예에서, 스팍터링에 의해 형성될 수도 있는 50nm의 텅스텐질화물막 및 350nm의 텅스텐막을 포함한 적층막이 사용된다. Xe 또는 Ne등의 불활성가스를 스팍터링기소로서 첨가하여, 응력에 의한 막의 벗겨짐을 막 수 있다.

또한, 여기서 게이트전극(522)은 게이트절연막(514)을 사이에 두고 n형 불순물영역(520)의 일부와 겹치도록 형성된다. 겹친 영역은 차후에 게이트전극과 배치되는 LDD영역이 된다. 게이트전극(523a 및 523b)은 단면도에서 서로 분리된 것으로 보이지만 실제로는 서로 전기적으로 연결되어 있다는 것을 주목하사.

도 6A에 나타낸 대로, n형 불순물원소(이 실시예에서는 인)는 마스크로서 게이트전극(521 내지 524)과 함께 자가배열방식으로 첨가된다. 첨가되는 양은 n형 불순물영역(520)의 농도와 같은 농도로 인이 형성된 불순물영역(525 내지 532)에 첨가되도록 제어된다. 더욱 구체적으로, 1×10^{19} 내지 5×10^{19} atoms/cm²(전형적으로 3×10^{19} 내지 3×10^{19} atoms/cm²)의 농도가 바람직하다.

도 6B에 나타낸 대로, 레지스터마스크(533a 내지 533d)가 게이트전극 등을 덮어씌우도록 형성되고, n형 불순물원소(이 실시예에서는 인)가 불순물영역(534 내지 538)을 높은 농도로 형성하도록 첨가된다. 여기서, 보스핀(PH₃)을 사용한 이온도핑법이 실행되고, 첨가되는 양은 이 영역의 인의 농도가 1×10^{20} 내지 1×10^{21} atoms/cm²(전형적으로 2×10^{20} 내지 5×10^{21} atoms/cm²) 되도록 제어된다.

이런 처리는 n채널TFT의 소스영역 또는 드레인영역을 형성한다. 소위치용 TFT의 경우에, 처리에 의해 도 6A에 나타낸 n형 불순물영역(528 내지 530)의 부분이 남는다. 남겨진 부분은 도 1에 나타낸 소위치용 TFT의 LDD영역(15a 내지 15d)에 해당한다.

그 다음, 도 6C에 나타낸 대로 레지스터마스크(533a 내지 533d)는 제거되고 레지스터마스크(539)가 새롭게 형성된다. 그 다음, p형 불순물원소(이 실시예에서는 봉소)가 높은 농도의 봉소에 의해 불순물영역(540 내지 543)을 형성하도록 첨가된다. 여기서 봉소는 디보린(B₂H₆)을 사용한 이온 도핑에 의해 봉소의 농도가 3×10^{20} 내지 3×10^{21} atoms/cm²(대표적으로 5×10^{20} 내지 1×10^{21} atoms/cm²)로 되도록 제어된다.

인이 이미 불순물영역(540 내지 543)에서 1×10^{20} 내지 1×10^{21} atoms/cm²의 농도로 첨가가 되었다면, 여기에 첨가되는 봉소의 농도는 인의 농도보다 적어도 세배 또는 세배이상 되어야 한다. 따라서, 먼저 형성된 n형 불순물영역은 원천히 p형 불순물영역으로 전환되고, p형 불순물영역으로 작용한다.

그 다음, 도 6D에 나타낸 대로 레지스터마스크(539)는 제거되고, 제 1중간절연막(544)이 형성된다. 제 1중간절연막(544)으로, 실리콘을 포함한 단일층결연막 또는 이런 종류의 조립된 적층막이 사용될 수도 있다. 막 두께는 400nm 내지 1.5μm가 될 수도 있다. 이 실시예에서, 제 1중간절연막(544)은 석층된 800nm의 실리콘산화막과 함께 200nm의 실리콘산화질화물막이 되도록 구조화된다.

이후에, 각각의 농도로 첨가된 n형 또는 p형 불순물원소가 활성화된다. 활성화수단으로서, 노이닐링이 비법적이다. 이 실시예에서 전기적으로 가열로를 사용한 열처리가 550°C에서 4시간동안 질소분위기에서 이루어진다.

또한, 열처리는 300 내지 450°C에서 1 내지 12시간동안 3 내지 100%의 수소를 함유한 분위기에서 수소첨가 처리가 이루어진다. 이 처리는 열적으로 이기된 수소로서 반도체막의 미결합을 해결하기 위한 것이다. 다른 수소첨가수단으로서, 플라즈마수소첨가(여기인 플라즈마수소를 사용)가 역시 이루어질 수도 있다.

수소첨가처리는 제 1중간절연막(544)이 형성되는 동안 이루어질 수도 있다는 것을 주목하자. 즉, 수소첨가 처리는 두께 200nm의 실리콘산화질화물막이 형성된 후에 실행될 수도 있고, 그 다음 남겨진 두께 800nm의 실리콘산화막이 형성될 수도 있다.

도 7A에 나타낸 대로, 접촉구멍이 소스배선(545 내지 548) 및 드레인배선(549 내지 551)을 형성하기 위해 제 1중간절연막(544)에서 형성된다. 덧붙여서, 분리층을 효과적으로 제거하기 위해 분리층(501a)에 달아있는 접촉구멍은 화소에 위치되는 상태로 형성된다. 또한, 도면에는 나타나지 않지만 외부배선에 접속하기 위해서 부리층(501a)에 달아있는 접촉구멍은 단자부에 형성되고, 소스배선 또는 드레인배선에 연결용 배선을 형성한다. 또한, 분리층(501a)에 달아있는 접촉구멍은 제 1중간절연막(544), 게이트절연막(514) 및 하층막(501b)을 부분적으로 에칭하여 형성된다. 이 실시예에서, 전극은 100nm의 Ti막, Ti을 함유한 300nm의 알루미늄막, 및 150nm의 Ti막이 스팍터링방법에 의해 인속적으로 형성되는 삼층구조를 가진 적층된 막이라는 것을 주목하자. 물론, 다른 전도성막이 역시 사용될 수도 있다.

그 다음, 두께 50 내지 500nm(전형적으로 200 내지 300nm)의 제 1패시베이션막(552)이 형성된다. 이 실시예에서, 300nm의 실리콘산화질화물막이 제 1패시베이션막(552)으로서 사용된다. 실리콘질화물막을 실리콘

산화질화물막에 대신으로 사용될 수도 있다.

여기서, 실리콘산화질화물막의 형성보다 중요하게, 폴리아미노아민(H₂, NH₃ 등과 같은 수소를 함유한 가스)을 사용하여 이루어지는 것이 효과적이다. 이 전자리에 의해 여기된 수소를 제 1중간질연막(544)에 공급하고 일자리를 실행하여, 제 1패시베이션막(552)의 기능이 형성된다. 동시에, 제 1중간질연막(544)에 청가된 수소는 아래층쪽으로 확산되고, 따라서 액티브층이 효과적으로 수소첨가가 될 수 있다.

도 700에 나타낸 대로, 유기수지를 포함한 제 2중간질연막(553)이 형성된다. 유기수지로시, 폴리미드, 아크릴, BCB(benzoclobutene)등이 사용될 수 있다. 특히, 제 2중간질연막(553)은 TFT에 의해 형성된 거친 면을 평坦하게 하기 위해 필요하기 때문에, 뛰어난 평탄화를 가진 아크릴 막이 바람직하다. 이 실시예에서, 아크릴 막은 2.5μm의 두께로 형성된다.

그 다음, 드레이버선(551)에 달아있는 접촉구멍은 제 2중간질연막(553) 및 제 1패시베이션막(552)에 형성되고 회소전극(MgAg전극)(554)을 형성한다. 이 실시예에서, 인동주석산화(TTO)막이 110nm의 두께로 형성되고 회소전극을 형성하기 위해 페터닝이 된다. 선택적으로, 산화인듐이 2 내지 20%의 산화수석(ZnO)과 혼합되어 형성된 투명한 전도성막이 형성될 수도 있다. 회소전극이 Ti-소자의 양극이 된다.

그 다음 실리콘을 포함한 절연막(이 실시예에서는 실리콘화막)이 500nm의 두께로 형성되고 회소전극(554)에 해당하는 위치에서 형성된 개구부와 함께 제 3중간질연막(555)을 형성한다. 습식에칭을 사용하여 개구부가 형성되면, 축면이 쉽게 테이퍼(taper)진 상태로 형성될 수 있다. 만약 개구부의 축면이 충분히 부드럽지 않으면, 거친 표면에 의한 Ti-소자의 기능감소의 문제점이 중요하게 된다.

그 다음, EL층(556) 및 음극(MgAg전극)(557)은 대기에 노출되지 않고 전공증착법을 사용하여 연속적으로 형성된다. EL층(556)의 두께는 80 내지 200nm(전형적으로 100 내지 120nm)로 될 수도 있고, 음극(557)의 두께는 180 내지 300nm(전형적으로 200 내지 250nm)로 될 수도 있다는 것을 주목하자.

이런 처리에서, EL층 및 음극은 적색, 녹색, 및 청색에 해당하는 각각의 회소에 연관되어 형성된다. EL층은 용제에 견고하지 않기 때문에, EL층은 폴리소그래피를 사용하지 않고 각 색에 연관되어 개별적으로 형성되어야 한다. 따라서, 금속마스크는 불필요한 부분을 가리기 위해 사용하고, EL층 및 음극은 오직 필요 한 부분에만 선택적으로 형성되는 것이 바람직하다.

즉, 먼저 적색에 해당하는 회소를 제외한 영역을 가리기 위한 마스크가 설정되고, 마스크를 사용해 적색발광용 EL층 및 음극이 선택적으로 형성된다. 그 다음, 녹색에 해당하는 회소를 제외한 영역을 가리기 위한 마스크가 설정되고, 마스크를 사용해 녹색발광용 EL층 및 음극이 선택적으로 형성된다. 그 다음, 동시에 청색에 해당하는 회소를 제외한 영역을 가리기 위한 마스크가 설정되고, 마스크를 사용해 청색발광용 EL층 및 음극이 선택적으로 형성된다. 여기서는 비록 세 개의 다른 마스크가 사용된다고 설명하지만, 같은 마스크도 반복적으로 사용될 수 있다는 것을 주목하자. 또한, 처리기 EL층 및 음극이 모든 회소에 연관되어 형성될 때까지 전공을 유지하며 이루어지는 것이 바람직하다.

EL층(556)으로서 공지된 물질이 사용될 수 있다는 것을 주목하자. 구동전압을 고려하면, 유기물질 등의 공지된 물질이 사용되는 것이 바람직하다. 예를 들어, 청광주입층, 청광전송층, 빛광층, 및 전지주입층으로 형성된 사층구조가 EL층이 될 수도 있다. 또한, 이 실시예에서는 비록 MgAg전극이 Ti-소자의 음극으로 사용되지만, 다른 공지된 물질을 포함할 수도 있다.

녹색발광층이 형성될 때, Al_{0.9}Si(상층(8-하이드록시기노린)알루미늄 합성물)가 첨가제로서 청가된 기나크리돈 또는 쿠마린6과 함께 빛광층의 주요물질로서 사용된다는 것을 주목하자. 적색발광층이 형성될 때, Al_{0.9}가 첨가제로서 첨가된 DCJT, UCM1 또는 DCM2와 함께 빛광층의 주요물질로서 사용된다. 청색발광층이 형성될 때, BaI_{0.9}(2-페닐-8-하이드록시기노린 및 페놀유도체의 혼합된 배위자(ligand)합성물)을 가진 디식 배위자의 혼합물)가 첨가제로서 첨가된 페닐렌과 함께 빛광층의 주요물질로서 사용된다.

물론, 위의 유기물질에 한정되지 않고, 공지된 저분자량 유기물질, 중합체유기탄물질, 및 무기질 EL물질이 사용될 수도 있다. 중합체유기탄물질이 사용되는 경우에, EL층을 형성하기 위해 도포될 수도 있다. 또한, EL층으로서, 1중향(singlet)에 의해 발광(발광)하는 발광물질을 포함한 빅막, 또는 심중향 여기에 의해 발광(인광)하는 발광물질(산중향 화합물)을 포함한 박막이 사용될 수 있다.

또한, 보호전극(558)으로서, 원주미늄이 주요성분인 전도성 막이 사용될 수도 있다. 보호전극(558)은 EL층 및 음극을 형성할 때 사용된 마스크와는 다른 마스크를 사용하여 전공증착법에 의해 형성될 수도 있다. 또한, 보호전극(558)은 EL층 및 음극이 대기에 노출되지 않고 형성된 후에 연속적으로 형성되는 것이 바람직하다.

마지막으로, 실리콘화물막을 포함한 제 2패시베이션막(559)이 300nm의 두께로 형성된다. 비록 보호전극(558)이 습기로부터 EL층을 보호하는 역할을 하지만, 제 2패시베이션막(559)을 형성하여 EL소자의 신뢰도를 더욱 형성시킬 수 있다.

이런 식으로, 도 7C에 나타낸 대로 액티브매트릭스 EL표시장치가 제 1기판(500)위에 형성된다. 실질적으로, 도 7C에 나타낸 구조가 완성된 후에, 구조는 기밀보호막(적층막, 자외선경화성막 등)과 같은 히우징물질 또는 세라믹으로 만들어진 밀봉 통을 사용하여 포장(밀봉)되는 것이 바람직하다. 그 다음, 히우징물질의 내부를 물활성분위기로 만들거나, 또는 히우징물질의 내부에 흡습제(에풀 둘이, 산화마그니엄)를 삽입하여, EL층의 신뢰도(수명)를 개선한다.

[실시예 2]

이 예시에서, 예시1의 처리 후에 실시예 1에 의해 제 1기판 위에 형성된 TFT 및 EL소자를 폴리스틱기판으로 이동시키기 위한 처리가 도 8 및 도 9를 참조하여 설명한다.

먼저, 실시예 1에 의해 도 7C에 설명한 구조가 이루어진다. 이 실시예에서, 칼라필터가 사용되기 때문에, 백색발광의 유기EL층이 제공된 EL소자가 사용된다는 점을 주목하자. 더욱 구체적으로, 밝광층으로서 일본

특허 공개 공보 평 8-96059호 또는 평 9-63770호에 공개된 물질이 사용될 수도 있다. 이 실시예에서, 발광층으로서 1,2-디클로로메탄에 PVK(polyvinyl carbazole), Bu-PBU(2-(4'-tert-butylphenyl)-5-(4-biphenyl)-1,3,4-oxadiazole), 쿠마린6, DCM(4-dicyanomethylene-2-methyl-6-p-dimethylaminostyryl-4H-pyran), IPB(tetraphenyl butadiene), 및 나일 레드(Nile red)가 용해된 것을 사용한다.

도 8A는 도 7C에 해당한다는 것을 주목하자. 도 7C의 제 1기판(500) 및 분리층(501a)은 각각 제 1기판(600) 및 분리층(601)에 해당한다. 도 8A는 또한 실시예 1에서 니타낸이 않은 단부영역을 나타낸다는 것을 주목하자. 단부영역에서 소스배선 또는 드레인배선에 연결된 배선은 분리층(601)과 접촉되도록 형성된다.

그 다음, 도 8B에 나타낸 대로 소자고정용 기판(이하 고정기판)(602)은 제 1접착층(603)을 사용하여 부착된다. 비록 이 실시예에서는 유연한 폴리스틱막이 고정기판(602)으로서 사용되지만, 유리기판, 석영기판, 폴리스틱기판, 실리콘기판, 또는 세라믹기판이 역시 사용될 수도 있다. 또한, 치후에 분리층(601)이 제거될 때 만족스런 헌택비율을 가진 물질을 제 1접착층(603)으로서 사용되는 것이 필요하다.

대표적으로, 수지를 포함한 절연막이 제 1접착층(603)으로서 사용될 수 있다. 비록 이 실시예에서는 폴리미드가 사용되지만, 아크릴, 폴리아미드, 또는 애폭시수지가 사용될 수도 있다. 관측자의 측면(전기장치 사용자의 측면)에서 세 1접착층(603)이 EL소자로부터 보이진다면, 제 1접착층(603)은 광부과성 물질을 포함할 것을 요구한다.

도 8B에 나타낸 처리는 포장처리와 동시에, 대기로부터 EL소자를 완전히 밀폐시킬 수 있고, 산소에 의한 유기EL소자의 기능감소를 방지하며 따라서 EL소자의 신뢰도를 크게 향상시킬 수 있다.

그 다음, 도 8C에 나타낸 대로 EL소자가 형성된 제 1기판(600)의 전체를 분리층(601)을 제거하기 위해 할로겐 불소가 험유된 가스에 노출시킨다. 이 실시예에서, 삼불화염소(CF₃)가 할로겐 불화물로서 사용되고, 절소가 희석가스로서 사용된다. 희석가스로서, 아르곤, 헬륨, 네온이 역시 사용될 수도 있다. 삼불화염소 및 절소에 관하여, 유속은 500scm($8.35 \times 10^{-6} \text{ m}^3/\text{s}$)이고 반작용압력은 1 내지 10Torr($1.3 \times 10^2 \text{ 내지 } 1.3 \times 10^3 \text{ Pa}$)정도 될 수도 있다. 처리온도는 실내온도(전형적으로 20 내지 27°C)가 될 수도 있다.

이런 경우에, 실리콘막은 애칭이 되고, 반면에 폴리스틱막, 유리기판, 폴리미드막, 실리콘화막은 애칭이 되지 않는다. 다른 말로 하면, 삼불화염소기소에 노출시킨 분리층(601)을 선택적으로 애칭하고 마지막에는 완전히 제거한다. 비록 맷트브층이 실리콘막을 포함하지만, 앤디브층은 케이트질연막으로 덮어지기 때문에 삼불화염소기소에 노출되지 않고, 따라서 애칭되지 않는다.

이 실시예에서, 분리층(601)은 일반적으로 노출된 단부영역으로부터 애칭되고, 완전히 제거될 때에는 제 1기판(600)은 하층막으로부터 분리된다. 여기서, 박막을 적용하여 형성된 TFT 및 EL소자는 남겨지고 고정기판(602)으로 옮겨진다.

여기서, 분리층(601)은 단부영역으로부터 애칭된다. 제 1기판(600)이 크게 될 때는 분리층(601)을 완전히 제거하는 데 걸리는 시간은 길어지기 때문에 바람직하지 않다는 것을 주목하자. 따라서, 제 1기판(600)의 대각선크기는 3인치 또는 그 이하(바람직하게 1인치 또는 그 이하)가 요구된다.

TFT 및 EL소자가 이런 방법으로 고정기판(602)으로 이동한 후에, 도 9A에 나타낸 대로 제 2접착층(608)은 고정기판(602)을 폴리스틱기판인 제 2기판(605)에 부착하기 위해 형성된다. 제 2기판(605)에서 각 화소에 대응되는 칼리필터(606) 및 TFT는 화소부에 제공되고, 단자연결부(607)는 단자부에 제공되고 전도성 충전물을 험유한 선도성 비동방 접착제(609)는 노출된 배선과 접착되기 위해 단자연결부의 위에 제공된다.

여기서, 각각의 칼리필터(606)는 스판 코팅 및 광리소그래피의 조합을 사용하거나 또는 프린팅기법에 의해 형성될 수 있기 때문에, 칼리필터(606)는 아무런 문제없이 폴리스틱막 위에 형성될 수 있다. 칼리필터로서, 두께 1 내지 2μm의 인류를 포함한 이크릴수지막(Fuji Film Oilin에 의해 제작)이 사용된다. 칼리필터가 기판을 형성하는 소자 위에 형성되는 경우에 비교해서, 생산율은 개선될 것으로 기대된다.

또한, 제 2접착층(608)으로서 수지(전형적으로, 폴리미드, 이크릴, 폴리아미드, 또는 애폭시수지)를 포함한 절연막이 사용될 수도 있고, 또는 무기질 절연막(전형적으로 실리콘산화막)이 사용될 수도 있다.

이런 방법으로, TFT 및 EL소자는 제 1기판(600)에서 제 2기판(605)으로 옮겨진다. 결과적으로, 도 9B에 나타낸 대로 제 2기판(605)위에 제공된 화소부(612), 구동회로부(611), 및 단자부(610)를 가진 유연한 EL표시장치가 얻어질 수 있다.

또한, 만약 고정기판(600) 및 제 2기판(605)이 동일한 물질(폴리스틱막)을 포함한다면, 열팽창계수가 같기 때문에 온도변화에 의한 음력 비틀림의 영향을 최소화할 수 있게 된다.

[실시예 3]

이 실시예에서, 실시예 2에서 설명한 단자부위는 다르게 구조화된 단자부는 도 10A를 참조로 하여 설명한다.

도 10A에서, TFT 및 EL소자의 구조가 동일하고 따라서 여기서는 생략한다.

도 10A에 나타낸 단자부를 제작하는 방법은 이하 설명한다. 먼저, 칼리필터는 실시예 2의 경우처럼 동시에 제 2기판 위에 형성된다. 그 다음, 칼리필터를 덮는 보호막(707)이 형성된다. 그 다음, 제 1전극(704)은 보호막이 노출된 배선과 함께 배열된 위치에 형성된다. 그 다음, 이 상태에서 제 2기판이 접착층을 사용하여 하층막(700)에 부착된다. 그 다음, 제 2기판(705) 및 보호막(707)은 부분적으로 애칭이 되어 전극(704)에 달아 있는 접촉구멍을 형성한다. 그 다음, 제 2전극(706)이 형성된다. 이런 방법으로, 도 10A에 나타낸 단자부(701)가 형성된다.

도 10B는 다르게 구조화된 다른 단자부를 나타낸다.

도 10B에서, 화소부(803) 및 구동회로부(802)가 형성된 때, 전극(804)은 하층막(800)이 형성되기 전에 형

성된다. 그 다음, 제 2기판(805)이 달이 있는 고정기판의 단부에 대하여 제 2기판(805)의 단부를 이동하여, 전극(804)이 노출된 상태가 되도록 한다. 이런 방법으로, 단자부(801)는 형성된다.

이 실시에는 실시에 1 또는 실시에 2와 자유롭게 조합될 수 있다.

[실시에 4]

실시에 1 및 실시에 2에 의해, 기밀성을 포장 등의 자리에 의해 형성된다. 그 다음, 제품을 완성하기 위해 외부산호단자와 함께 회로로부터 연결된 단자연결부(607) (도 9A) 또는 제 2기판(플라스틱기판)위에 형성된 소자를 연결하는 연결자(유연하게 프린트된 회로: FPC)가 달아 있다. 지금 이동되고 있는 이런 EL표시장치는 EL모듈로서 지정한다.

이 실시에에서, 액티브매트릭스EL표시장치의 구조는 도 11의 사시도를 참조로 하여 설명한다. 이 실시에에 의해 화소부(902), 게이트쪽 구동회로(903), 및 소스쪽 구동회로(904)를 가진 액티브매트릭스EL표시장치는 플라스틱기판(901)위에 형성된다. 화소부의 스위치용TFT(905)는 n채널TFT이고, 게이트쪽 구동회로(903)에 연결된 게이트배선(906) 및 소스쪽 구동회로(904)에 연결된 소스배선(907)의 교차점에 위치한다. 스위치용TFT(905)의 드레인은 전류제어용TFT(908)의 게이트에 연결된다.

또한, 전류제어용TFT(908)의 소스 측은 전원공급선(909)에 연결된다. 이 실시에의 구조에서, EL구동전원공급선(909)에는 접지선이나 가해진다. 전류제어용TFT(908)의 드레인은 EL소자(910)에 연결된다. 예정된 전압(이 실시에에서는 10 내지 12V)이 EL소자(910)의 음극에 공급된다.

외부 입력/출력단자가 되는 FPC(911)는 신호를 구동회로로 보내기 위한 입력/출력배선(연결배선)(912 및 913) 및 EL구동전원공급선(909)에 연결된 입력/출력배선(914)에 제공된다. 여기서, 포장은 고정기판(915)을 사용하여 이루어진다.

이 실시에는 실시에 1 내지 실시에 3의 어느 하나의 실시에와 자유롭게 조합될 수 있다.

[실시에 5]

본 발명에 의한 이 실시에는 도 16 내지 도 18을 참조로 하여 설명한다. 여기서, 화소TFT, 화소부의 서정용링, 및 회소부주위에 제공된 구동회로용TFT를 동시에 형성하는 방법이 자세하게 처리를 통해 설명한다.

도 16A에서, 기판(101)으로서 Corning #7050 glass 및 #1737 glass로 대표되는 바륨 봉규산염 유리 또는 알루미늄 봉규산염 유리, 석영기판 등이 사용된다.

그 다음, 이후 처리에서 기판(101) 분리용 분리층(100)이 TFT가 형성될 기판(101)의 표면 위에 형성된다. 비정질 실리콘막을 포함한 분리층(100)은 100 내지 500nm(이 실시에에서는 300nm)의 두께로 형성된다. 분리층(100)은 저압의 열CVD, 플라즈마CVD, 스퍼터링, 또는 증착법에 의해 형성될 수도 있다. 실리콘산화막, 실리콘질화물막, 실리콘산화질화물막 등의 절연막을 포함한 하층막(102)은 기판(101)으로부터 불순물 확산을 막기 위한 목적으로 분리층(100) 위에 형성된다. 예를 들어, 실리콘 산화질화물막(102a)은 플라즈마CVD를 사용하여 SiH₄, NH₃, 및 N₂O로부터 10 내지 200nm(바람직하게 50 내지 100nm)의 두께로 형성되고, 그 다음 SiH₄ 및 N₂O로부터 50 내지 200nm(바람직하게 100 내지 150nm)의 두께로 형성된 실리콘 산화질화물막(102b)이 형성된다. 비록 여기서는 하층막(102)이 두 개의 층을 가진 구조로 설명하지만, 하층막(102)은 단일층 또는 위 절연막의 두 개이상의 층을 가질 수도 있다.

그 다음, 비정질성의 구조를 가진 반도체층(103a)이 플라즈마CVD 또는 소피터링의 방법에 의해 두께 25 내지 80nm(바람직하게 30 내지 60nm)로 형성된다. 비정질성의 구조를 가진 이런 반도체 막은 비정질 반도체층 및 미세결정성 반도체 막을 포함한다. 비정질 실리콘캐리미늄 막 등의 비정질구조를 포함한 화합물반도체 막이 역시 사용될 수도 있다. 플라즈마CVD에 의해 비정질실리콘 막이 형성되는 경우에, 하층막(102) 및 비정질반도체층(103a)을 연속적으로 형성하는 것이 가능하다.

그 다음, 결정화처리는 비정질성 반도체층(103a)으로부터 결정질 반도체층(103b)을 형성하여 이루어진다. 이것을 이루기 위한 방법은 레이저어닐링, 열어닐링(고체 증착법), 또는 RTA(rapid thermal annealing)가 될 수도 있다. 이런 결정화처리에서, 먼저 비정질반도체 층에 흰유된 수소를 방출하는 것이 바람직하다. 흰유된 수소의 양은 5atom% 또는 그 이하로 만들기 위해 약 1시간동안 400 내지 500°C로 열처리가 먼저 이루어지고 그 다음 결정화를 실행하여, 막 표면의 거칠을 방지할 수 있다.

결정화기 레이저어닐링에 의해 이루어질 때, 광원은 발진형 또는 연속발광형 액시미레이저 또는 이온곤레이저가 될 수도 있다. 발진형 액시미레이저가 사용되는 경우에, 레이저빔은 레이저어닐링을 실행하기 위해 선형으로 처리된다. 레이저어닐링의 상태는 사용자에 의해 적당하게 선택된다. 예를 들어, 레이저발진형 주파수는 30Hz가 될 수도 있고 레이저에너제일도는 100 내지 500mJ/cm²(전형적으로 300 내지 400mJ/cm²)이 될 수도 있다. 그 다음 선형 빔의 송전비율이 80 내지 98%로 기판의 전체표면 위에 선형 빔이 조사(照射)된다. 이런 방법으로, 도 16B에 나타낸 대로 결정질 반도체층(103b)이 얻어질 수 있다.

그 다음, 레지스터패턴은 마스크인 제 1광마스크(PM1)로 광리소그래피를 사용하여 결정질 반도체층(103b) 위에 형성되고, 결정질 반도체층은 간식에칭에 의해 심령영역으로 나뉘어지며, 도 16C에 나타낸 대로 심령반도체층(104 내지 108)이 형성된다. CF₄ 및 O₂의 혼합기소가 결정질 실리콘 막의 간식에칭에서 사용된다.

그 후에, 마스크 층은 플라즈마CVD 또는 소피터링에 의해 실리콘 산화막을 두께 50 내지 200nm로 기지개한다. 이 실시에에서, 두께 130nm의 실리콘 산화막이 형성된다.

그 다음, 게이트 절연막(109)이 형성된다. 게이트절연막(109)은 플라즈마CVD 또는 소피터링에 의해 두께 40 내지 150nm의 실리콘을 함유한 절연막을 포함한다. 이 실시에에서, 게이트절연막(109)은 두께 120nm의 실리콘 산화질화물막을 포함한다. 막의 고정전하밀도가 감소하기 때문에 O₂를 SiH₄ 및 N₂O에 첨가하여 형성된 실리콘 산화질화물막이 이런 적용에 바람직한 물질이다. 접촉결합밀도가 감소될 수 있기 때문에 SiH₄, N₂O 및 H₂에서 형성된 실리콘 산화질화물막은 역시 바람직하다. 물론, 게이트절연막이 이런 실리콘 산화질

화물막에 한정되지는 않고, 실리콘을 함유한 다른 절연막의 단일 층 또는 적층이 역시 사용될 수도 있다.

그 다음, 도 160에 나타낸 대로 게이트전극 형성을 위한 내열성 전도층(111)이 두께 200 nm(바람직하기는 250 nm, 350nm)의 제 1형태를 가진 게이트질연막(109)위에 형성된다. 내열성전도층은 단일 층으로 형성될 수도 있고, 상태에 따라서는 두 개 또는 세 개층 등의 디수의 층으로 형성된 적층구조가 될 수도 있다. 여기서 사용된 내열성전도층은 Ta, Ti, 및 W로부터 선택된 원소를 포함한 막. 이런 원소를 함유한 합금, 또는 이런 원소들의 조합된 합금을 포함한다. 이 실시예에서, W막은 300nm의 두께로 형성된다. W막은 타겟으로 W을 스마터링에 의해 형성될 수도 있거나, 또는 텅스텐 헥사플로라이드(WF_6)를 열CVD에 의해 형성될 수도 있다.

그 다음, 레지스티미스크(112 내지 117)는 제 2광미스크(PM2)를 사용하여 광리소그래피에 의해 형성되고, 제 1에칭처리가 이루어진다. 이 실시예에서, 에칭은 애칭가스로서 Cl_2 및 CF_4 를 사용한 ICP에칭시스템에 의해 이루어지고, 1Pa의 압력에서 3.2W/cm²(13.56MHz)의 RF전력을 가하여 플라즈마로 형성된다. 224mW/cm²(13.56MHz)의 RF전력이 기판(샘플 스테이지)층에 가해진다. 따라서, 실질적으로 내기티브 지기바이어스전압이 가해진다. 이런 상태에서, W막의 에칭 유품은 약 10nm/min이다. 제 1에칭처리에 대해서, W막을 완전히 에칭하기 위해 필요한 시간은 이 애칭 유품 기초로 하여 판단되고 실제에칭시간은 만단된 시간의 120%가 되도록 설정된다.

제 1에칭처리에 의해, 제 1테이퍼진 형태를 가진 전도층(118 내지 123)이 형성된다. 도 17A에 나타낸 대로, 형성된 테이퍼진 영역의 각도는 15 내지 30°이다. 씨거기를 넘기지 않고 애칭을 이루기 위해, 과정에 청이 애칭시간을 약 10 내지 20% 증가시켜 이루어진다. W막에 대한 실리콘 산화질화물막(제 1형태를 가진 게이트질연막(109))의 선택비율이 2 내지 4(전형적으로 3)이기 때문에, 과정에칭처리는 실리콘 산화질화물막이 제 1테이퍼진 형태를 가진 전도층의 단부영역에 균질한 테이퍼진 형태를 가진 제 2형태의 게이트설연막(134)을 형성하기 위해 노출된 표면의 약 20 내지 50nm로 애칭된다.

그 다음, 전도성 불순물원소를 센터 빙도체층에 첨가하여 제 1첨가처리가 이루어진다. 여기서, n형 불순물원소의 첨가처리가 이루어진다. 제 1테이퍼진 형태를 가진 전도층을 형성하기 위한 마스크(112 내지 117)가 남겨지며, 미스크로서 제 1테이퍼진 형태를 가진 전도층(118 내지 123)과 함께 이온도핑방법에 의해 n형 불순물원소가 자가배열방식으로 첨가된다. 불순물원소를 게이트전극 및 게이트설연막의 단부영역의 테이퍼진 영역을 지나 그 밑의 반도체층에 도달하여 n형 불순물원소를 첨가하기 위해, 첨가되는 양은 1×10^{13} 내지 5×10^{14} atoms/cm²이고 가속전압은 80 내지 160KeV이다. n형 불순물원소로서, 15쪽에 속하는 물질, 전형적으로 인(P) 또는 비소(As)가 사용된다. 여기서는 인(P)이 사용된다. 이런 이온도핑에 의해, n형 불순물원소는 제 1불순물영역(124, 126, 128, 130, 및 132)에서 1×10^{20} 내지 1×10^{21} atoms/cm²의 농도로 첨가된다. 테이퍼진 영역일에 형성된 제 2불순물영역(A)에서, 비록 농도가 영역 위에서 균일하지는 않지만 n형 불순물원소는 1×10^{17} 내지 1×10^{20} atoms/cm²의 농도로 첨가된다. 적어도 제 1테이퍼진 형태를 가진 전도층(125, 127, 129, 131, 및 133)과 중첩되는 위치에서 제 2불순물영역(A)(125, 127, 129, 131, 및 133)에 함유된 n형 불순물원소의 농도변화는 테이퍼진 영역의 약 두께 변화로 반영된다. 즉, 제 2불순물영역(A)(129 내지 132)에 첨가되는 인(P)의 농도는 전도층의 단부영역에서부터 제 1테이퍼진 형태의 전도층과 중첩되는 영역내부 쪽으로 점진적으로 감소한다. 이것은 반도체층에 담아있는 인(P)의 농도가 테이퍼진 영역의 약 두께 차이에 의해 변하기 때문이다.

그 다음, 도 17B에 나타낸 대로 제 2에칭처리가 이루어진다. 이 에칭처리는 애칭가스로서 Cl_2 및 CF_4 의 혼합가스를 사용하고, 3.2W/cm²(13.56MHz)의 RF전력, 45mW/cm²(13.56MHz), 및 1Pa의 압력의 ICP에칭시스템에 의해 역시 이루어진다. 이런 상태에서, 제 2테이퍼진 형태를 가진 전도층(140 내지 145)이 형성된다. 테이퍼진 영역은 전도층(140 내지 145)의 단부영역에 형성되고, 테이퍼진 영역의 형태는 두께가 단부영역으로 부터 내부 쪽으로 점진적으로 증가하는 형태이다. 제 1에칭처리의 경우와 비교해서, 기판 층에 가해지게 되는 바이어스전력을 낮고 따라서 등방성에의 비율이 커지며 결과적으로 테이퍼진 영역의 각도가 30 내지 60°로 된다. 또한, 제 2형태를 가진 게이트설연막(134)의 표면이 제 3형태의 게이트설연막(170)을 새롭게 형성하기 위해 약 40nm로 애칭된다.

그 다음, n형 불순물원소는 제 1첨가처리의 경우와 비교해서 높아진 가속전압 및 낮은 첨가량으로 첨가된다. 예를 들어, 첨가는 제 2형태를 가진 전도층(140 내지 145)과 중첩되는 영역의 불순물농도가 1×10^{16} 내지 1×10^{18} atoms/cm²으로 되도록 1×10^{13} atoms/cm²의 첨가량 및 70 내지 120KeV의 가속전압으로 이루어진다. 이런 방법으로, 제 2불순물영역(B)(146 내지 149)이 형성된다.

그 다음, 대형전도층의 불순물영역(156a 내지 156c) 및 불순물영역(157a 내지 157c)은 각각 p채널 TFT로 형성되는 섬형 반도체층(104 내지 106)에 형성된다. 이런 경우에도 역시, 미스크로서 제 2테이퍼진 형태를 가진 전도층(140 및 142)으로, p형 불순물원소를 불순물영역을 형성하기 위해 자가배열방식으로 첨가된다. 여기서, n채널 TFT로 형성된 섬형 반도체층(105, 107 및 108)의 경계는 제 3광미스크(PM3)를 사용한 레지스터마스크(151 내지 153)를 형성하여 덮어진다. 여기서 형성된 불순물영역(156 및 157)은 디보란(Burton)을 이온도핑에 의해 형성되고 불순물영역(156 및 157)에서 p형 불순물원소의 농도는 2×10^{20} 내지 2×10^{21} atoms/cm²가 된다.

하지만, 구체적으로 불순물영역(156 및 157)은 n형 불순물원소를 함유한 세 개의 영역으로 분리될 수 있다. 제 3불순물영역(156a 및 157a)은 n형 불순물원소를 1×10^{20} 내지 1×10^{21} atoms/cm²의 농도로 형성하고, 제 4불순물영역(A)(156b 및 157b)은 n형 불순물원소를 1×10^{17} 내지 1×10^{20} atoms/cm²의 농도로 형성하며, 제 4불순물영역(B)(156c 및 157c)은 n형 불순물원소를 1×10^{16} 내지 5×10^{18} atoms/cm²의 농도

로 함유한다. 하지만, 불순물영역(156b, 156c, 157b, 및 157c)에서 p형 불순물원소의 농도를 1×10^{19} atoms/cm² 또는 그 이상으로 되도록 하고, 제 3불순물영역(156a 및 157a)에서 p형 불순물원소의 농도를 p채널TFT의 소스영역 또는 드레인 영역의 1.5 내지 3배가 되도록 하여 제 3불순물영역이 p채널TFT의 소스영역 또는 드레인 영역으로서 작용하는 데 아무런 문제가 발생하지 않게 한다. 또한, 제 4불순물영역(8)(156c 및 157c)의 일부는 각각 세 2테이퍼진 형태를 가진 선도층(140 및 142)과 중첩되기 위해 형성된다.

이후에, 도 18A에 나타낸 대로 제 1중간질연막(158)은 게이트전극 및 게이트절연막 위에 형성된다. 세 1중간질연막은 실리콘산화막, 실리콘 산화질화물막, 실리콘 질화물막, 또는 이들의 조합된 적층막을 포함할 수도 있다. 아울러, 제 1중간질연막(158)은 무기질연물질을 포함한다. 제 1중간질연막(158)의 두께는 100 내지 200nm이다.

그 다음, 각각의 농도로 n형 및 p형으로 정가된 불순물원소를 활성화하기 위한 처리가 이루어진다. 이런 처리는 노어닐링을 사용한 열어닐링에 의해 이루어진다. 선택적으로, 레이저 어닐링 또는 RTA가 역시 사용될 수도 있다. 열어닐링은 전형적으로 500 내지 600°C에서 산소농도가 1ppm 또는 그 이하인, 비량적하게는 400 내지 700°C에서 0.1ppm 또는 그 이하의 질소분위기에서 이루어진다. 이 실시예에서, 550°C에서 4시간 동안 열처리가 이루어진다.

활성화처리에 이어서, 분위기 가스는 교체되고 300 내지 450°C에서 3 내지 100%의 수소를 함유한 분위기에서 1 내지 12시간동안 열처리가 실행되어 섬형 반도체층의 수소첨가가 이루어진다. 다른 수소첨가수단으로서, 풀라즈마 수소첨가(여기된 풀라즈마 수소를 사용)가 역시 사용될 수도 있다.

그 다음, 제 2중간질연막은 유기질연물질의 제 2 중간질연막의 제 2 중간질연막을 포함한다. 이런 방법으로 유기질연막을 형성하는 방법은 유기수지물질은 일반적으로 낮은 유전(誦電)율을 가지고기 때문에, 기생용량이 감소될 수 있다. 유기수지물질은 또한 흡습성을 가지고 있고 따라서 보호막으로는 적합하지가 않기 때문에, 이 실시예에서처럼 유기수지물질이 제 1중간질연막(158)으로서 형성된 실리콘산화막, 실리콘 산화질화물막, 실리콘 질화물막 등과 조합되어 사용되는 것이 바람직하다.

그 후에, 예상된 패턴의 레지스티마스크는 섬형 반도체층에 형성되고 소스영역 또는 드레인영역이 되는 불순물영역에 닿아있는 접촉구멍을 형성하기 위해 광마스크(PM4)를 사용하여 형성된다.

그 다음, 전도성 금속막이 스마터링 또는 전 공증착법에 의해 형성되고, 제 5광마스크(PM5)를 사용하여 레지스티마스크패턴이 형성되며, 소스선(160 내지 164) 및 드레인선(165 내지 168)을 형성하기 위한 애칭이 이루어진다.

그 다음, 투명한 전도성 막이 80 내지 120nm의 두께로 형성되고, 제 6광마스크(PM6)를 사용한 패터닝으로 회소전극(도 18B의 180으로서 나타남)이 형성된다. 투명한 전도성 막으로서, 인듐산화물/주석산화물 합금(1In:0.3ZnO) 및 주석산화물(ZnO)이 적합한 물질이다. 기시광의 투과성 및 전도성 등을 형상시기 위해 길이가 첨가된 주석산화물(ZnO:Ga)이 적합하게 사용될 수 있다.

이런 방법으로, 제 6광마스크를 사용하여 구동회로의 TFT 및 화소부의 화소TFT를 가진 기판이 완성될 수 있다. 제 1 p채널TFT(1100), 제 1 n채널TFT(1101), 제 2 p채널TFT(1102), 및 제 2 n채널TFT(1103)는 구동회로에 형성되고 반면에 화소TFT(1104) 및 기생용량(1105)은 화소부에 형성된다. 편리함을 위해, 이런 기판을 여기서는 액티브패트릭스기판으로 지칭한다. 구동회로의 제 1 p채널TFT(1100)에서, 제 2테이퍼진 형태를 가진 전도층은 게이트전극(220)으로 작용한다. 섬형 반도체층(104)은 채널형성영역(206), 소스영역 또는 드레인 영역으로서 작용하는 제 3불순물영역(207a), 게이트전극(220)과 중첩되지 않는 LDD영역을 형성하는 제 4불순물영역(A)(207b), 및 게이트전극(220)과 중첩되는 LDD영역을 형성하는 제 4불순물영역(B)(207c)을 가지기 위해 구조화된다.

제 1 n채널TFT(1101)에서, 제 2테이퍼진 형태를 가진 전도층이 게이트전극(221)으로서 작용한다. 섬형 반도체층(105)은 채널형성영역(208), 소스영역 또는 드레인 영역으로서 작용하는 제 1불순물영역(209a), 게이트전극(221)과 중첩되지 않는 LDD영역을 형성하는 제 2불순물영역(A)(209b), 및 게이트전극(221)과 중첩되는 LDD영역을 형성하는 제 2불순물영역(B)(209c)을 가지기 위해 구조화된다. 채널길이가 2 내지 7μm인 반면에, 제 2불순물영역(B)(209c) 및 게이트전극(221)의 중첩되는 영역의 길이는 0.1 내지 0.3μm이다. 이 길이(L_{sh})는 게이트전극(221)의 두께 및 테이퍼진 영역의 각에 의해 제어된다. n채널TFT에 이런 LDD영역을 형성하여, 드레인 영역에 근접하게 발생된 높은 전기장을 감소시킬 수 있고 핫캐리어가 발생하는 것을 방지하며 TFT의 기능감소를 막을 수 있다.

구동회로의 제 2 p채널TFT(1102)에서, 제 2 테이퍼진 형태를 가진 전도층은 게이트전극(222)으로서 작용한다. 섬형 반도체층(106)은 채널형성영역(210), 소스영역 또는 드레인 영역으로서 작용하는 제 3불순물영역(211a), 게이트전극(222)과 중첩되지 않는 LDD영역을 형성하는 제 4불순물영역(A)(211b), 및 게이트전극(222)과 중첩되는 LDD영역을 형성하는 제 4불순물영역(B)(211c)을 가지기 위해 구조화된다.

구동회로의 제 2 n채널TFT(1103)에서, 제 2테이퍼진 형태를 가진 전도층은 게이트전극(223)으로서 작용한다. 섬형 반도체층(107)은 채널형성영역(212), 소스영역 또는 드레인 영역으로서 작용하는 제 1불순물영역(213a), 게이트전극(223)과 중첩되지 않는 LDD영역을 형성하는 제 2불순물영역(A)(213b), 및 게이트전극(223)과 중첩되는 LDD영역을 형성하는 제 2불순물영역(B)(213c)을 가지기 위해 구조화된다. n채널TFT의 경우 비슷하게, 제 2불순물영역(B)(213c) 및 게이트전극(223)의 중첩영역의 길이는 0.1 내지 0.3μm이다.

[실시예 6]

이 실시예에서는, 실시예 5에 의해 일어진 액티브패트릭스기판으로부터 액정표시장치를 제작하는 방법을 설명한다.

실시예 5에 의해 도 18B에 나타낸 상태가 얻어진 후에, 배향막이 형성되고 밀봉제를 사용하여 고정기판에 부착된다. 광을 투과하는 고정기판(1001)은 대향전극(1002) 및 그 위에 형성된 배향막(1003)을 가진다.

것을 주목하지. 또한, 비록 도면에는 나타내지 않았지만, 기판사이의 거리는 일봉재에 함유된 충전물 및 공간자에 의해 유지된다. 또한, 액정(1004)은 기판사이에 채워진다(도 12).

그 다음, 실시예 2에서 설명한 대로 분리층(100)을 재거하기 위해 전체기판을 할로겐 불화물은 함유한 가스에 노출시킨다. 이 실시예에서, 삼불화염소(CIF₃)가 할로겐 불화물로서 사용되고, 질소기 희석가스로서 사용된다. 삼불화염소 및 질소에 관하여, 유속은 500sccm($8.35 \times 10^{-6} \text{ m}^3/\text{s}$)이고 반작용압력은 1 대기 10torr(1.3×10^{-2} 대기 $1.3 \times 10^3 \text{ Pa}$)정도 될 수도 있다. 처리온도는 실내온도(전형적으로 20 대기 27 °C)가 될 수도 있다.

이런 경우에, 실리콘막은 애칭이 되고, 반면에 풀리스틱막, 유리기판, 풀리미드막, 실리콘산화막은 애칭이 되지 않는다. 다른 말로 하면, 심불화염소기소에 노출시켜 분리층(100)을 선택적으로 애칭하고 마지막에는 안전히 세기한다.

이 실시예에서, 분리층(100)은 일방적으로 노출된 단부영역으로부터 예칭이 되고, 원전히 제거될 때에는 제1기판(101)은 하층막(102)으로부터 분리된다.

그 다음, 하층막(102)은 접착층(1107)을 사용하여 제 2기판(플라스틱기판)(1108)에 부착된다(도 12). 제 2기판(플라스틱기판)(1108)의 화소부에서, R, G, 및 B컬러필터(1106)기각 회소전극에 관하여 배열한다. 또한 광차폐의 목적을 위해, 적색컬러필터가 각각의 TFT와 함께 배열되도록 배치된다. 도 12에 나타낸 화소부가 적색(R)화소의 화소부리는 것을 주목하자. 도 13은 녹색(G) 또는 정색(B)화소의 경우에 전형적인 구조면도를 나타낸다. 적색컬러필터(1106a)는 TFT와 함께 배열되고 녹색(G) 또는 정색(B)컬러필터(1106b)는 개구부(1109)와 함께 배열된다.

비록 단자부가 도 12, 13, 및 16 내지 18에서는 나타나지 않지만, 실시에 2 및 실시에 3에서 설명한 단자부의 구조와 비슷하게 단자부는 분리층에 달아있는 접촉구멍을 형성하고 바라는 배선에 연결될 전극을 형성하여 형성될 수도 있다.

【실시예 7】

실시에 6에서 실명한 칼리필터(1106)에 관하여, 줄무늬형태의 칼리필터를 사용하는 경우에 본 발명을 적용한 예가 도 14에 나타난다. 도 14는 기판(1400)위에 형성된 회소부(1401), 소스선을 구동화로(1402), 및 케이티선을 구동화로(1403), 및 칼리필터(1404 및 1405)사이의 배치관계를 단간하게 나타내는 실면도이다. 본 발명으로, 적색칼리필터(R)(1404a 및 1404b)는 주변회로인 구동화로(1402 및 1403)위에 형성되고, 평면화를 실현함과 동시에 TFT액티브바운드의 광 기능감소를 방지한다. 또한, 칼리필터(B)(1405b)는 회소칼리필터(R)(1405a), 및 칼리필터(D)(1405c)는 반직접으로 회소부(1401)위에 줄무늬형태로 배열된다. 회소부(3x3평행)의 대략적인 회도가 도 14B에 나타내나, 도 14B에 나타낸 대로, 회소TFT영역(1407)을 보호하기 위한 칼리필터(1405d)가 각 회소에서 형성된다. 소스선, 케이티선, 및 전극이 이 도면에서는 나타나지 않지만, 각각의 칼리필터에서의 공극(孔隙)과 중첩되어도 배율되고 따라서 빛은 세지 않는다는 것을 주목하지. 칼리필터(1405d)는 블랙미스코프의 액활을 하고 그러므로 블랙미스코프를 형성하는 데 필요한 단계가 생략될 수 있다. 또한, 회소전극 및 회소TFT를 연결하기 위한 접촉구멍이 이 도면에는 나타나지 않지만, 실제로 칼리필터가 회소전극 및 회소TFT사이의 중에 형성되고 따라서 개구부가 접촉구멍의 위치에 존재한다.

[실시예 8]

실시에 8은 실시에 7과는 다른 칼라필터 배열의 예를 나타낸다. 도 15A는 기판(1500) 위에 형성된 화소부(1501), 소스선족 구동회로(1502), 및 게이트선족 구동회로(1503), 및 칼라필터(1504 및 1505a 내지 1505c) 사이의 배치관계를 간단하게 나타낸는 상면도이다. 도 15B는 빛받침으로, 적색 칼라필터(R)(1504)는 주변회로(1502 및 1503) 위에 형성되고, 평단화를 실현함과 동시에 1A1액티브블록의 광 기능감소를 방지한다. 또한, 칼라필터(R)(1505b) 및 칼라필터(G)(1505c)는 회초부(1501)에 매트릭스형태로 배치되고, 칼라필터(R)(1505a)는 칼라필터(1505b) 및 칼라필터(1505c) 사이의 공극에 깊이 빠운하도록 형성된다. 회초부(3x3행렬)의 대략적인 확대도가 도 15B에 나타난다. 도 15B에 나타낸대로, 회초TFT 양(1507)을 보호하기 위한 칼라필터(1405d)가 상호연결 된다. 소스선, 게이트선, 및 전자선이 이 도면에서는 나타나지 않지만, 각각의 칼라필터사이의 공극(孔隙)과 중첩되도록 배열되고 따라서 빛은 새지 않는다는 것을 주목하자. 칼라필터(1505a)는 블랙마이스크의 역할을 하고 그러므로 블랙마이스크를 형성하는 대 필요한 난개가 생략될 수 있다. 또한, 화소전극 및 화소TFT를 연결하기 위한 접촉구멍이 이 도면에는 나타나지 않지만, 실제로 칼라필터가 회초전극 및 회초TFT 사이의 층에 형성되고 따라서 개구부기 전족구멍의 위치에 존재한다.

[실시예 9]

실시에 5 내지 실시에 8 을 사용하여 일어지는 엑티브매트릭스 액정표시장치의 구조가 도 19의 사시도를 참조로 하여 설명한다. 도 19에서, 도 12, 13, 및 16 내지 18의 칩조번호가 서로 대응된다는 것을 주목하시. 도 19에서, 엑티브매트릭스 액정표시장치는 플리스딕기판(1108)위에 형성된 회소부(1204), 주사신호구동회로(1205), 영상신호구동회로(1206) 및 다른 신호처리회로(1207)를 포함한다. 하소TF1(1104) 및 저장용판(1105)은 회소부(1204)에 제공된다. 회소부주변에 위치하는 구동회로는 기본회로로서 CMOS회로를 포함한다. 주사신호구동회로(1205) 및 영상신호구동회로(1206)는 게이트배선(224) 및 소스배선(161)에 의해 하소TF1(1104)에 연결된다. FPC(1208)는 외부입력단자(1201)에 연결되고 영상신호 등을 입력하기 위해 사용된다. 연결배선(1203)에 의해 각각의 구동회로는 연결된다. 비록 도면에는 나타내지 않았지만, 카라필터기기판(1108)위에 위치한다.

[실시예 10]

EL 소자 μ L 사용한 전기장치의 예기 실시예 1 내지 실시예 4에서 설명한다. 또한, 본 발명은 μ ELectrochromics 표시장치, 전계방출표시(FED), 또는 반도체 μ L 사용한 광다이오드를 가진 전기장치에

사용될 수 있다.

[실시예 11]

본 발명에 의해 형성된 CMOS회로 및 회소부는 여러 전기장치(액티브매트릭스형 액정표시, 액티브매트릭스형 EL표시 또는 액티브매트릭스형 EC표시)에 사용될 수 있다. 다른 말로해서, 본 발명은 표시부로서 이런 전기장치를 가진 전자장비의 모두에 적용될 수 있다.

이하는 이런 형태의 전자장비의 예로서, 비디오카메라, 디지털카메라, 프로젝터(후방형 또는 전방형), 헤드정착형 표시(가글(goggle)형 표시), 차량형법시스템, 차량스테레오, 개인용 컴퓨터, 휴대용 정보단말기(이동성 컴퓨터, 휴대용 전화기 및 노트북 등)를 들 수 있다.

도 21A는 본체(2001), 영상입력부(2002), 표시부(2003), 및 키보드(2004)를 포함한 개인용 컴퓨터이다. 본 발명은 표시부(2003)에 적용될 수 있다.

도 21B는 본체(2101), 표시부(2102), 음성 입력부(2103), 작동스위치(2104), 축전기(2105) 및 영상수신부(2106)를 포함한 비디오카메라를 나타낸다. 본 발명은 표시부(2102)에 적용될 수 있다.

도 21C는 본체(2201), 키메리부분(2202), 영상수신부(2203), 작동스위치(2204) 및 표시부(2205)를 포함한 이동성컴퓨터를 나타낸다. 본 발명은 표시부(2205)에 적용될 수 있다.

도 21D는 본체(2301), 표시부(2302), 및 암부분(2303)을 포함한 가글형 표시를 나타낸다. 본 발명은 표시부(2302)에 적용될 수 있다.

도 21E는 본체(2401), 표시부(2402), 스피커부분(2403), 기록매체(2404), 및 작동스위치(2405)를 포함하고 모로그램이 기록된 기록매체를 사용한 플레이어이다. 이 장치는 기록매체로 DVD(digital versatile disc), CD등을 사용하고, 음악감상, 영화감상, 게임 및 인터넷을 위해 사용될 수 있다. 본 발명은 표시부(2402)에 적용될 수 있다.

도 21F는 본체(2501), 표시부(2502), 접안부(2503), 작동스위치(2504), 및 영상수신부(도면에는 나타내지 않음)를 포함한 디지털카메라이다. 본 발명은 표시부(2502)에 적용될 수 있다.

도 22A는 본체(2901), 음성출력부(2902), 음성입력부(2903), 표시부(2904), 작동스위치(2905), 및 인미나(2906)를 포함한 휴대용 전화기를 나타낸다. 본 발명은 음성출력부(2902), 음성입력부(2903), 표시부(2904)에 적용될 수 있다.

도 22B는 휴대용 전자책이고, 본체(3001), 표시부(3002, 3003), 기억매체(3004), 작동스위치(3005) 및 안네나(3006)를 포함한다. 본 발명은 표시부(3002 및 3003)에 적용될 수 있다.

도 22C는 표시이고, 본체(3101), 지지대(3102), 및 표시부(3103)등을 포함한다. 본 발명은 표시부(3103)에 적용될 수 있다. 본 발명의 표시는 큰 크기의 스크린에서 유용하고, 특히 대각으로 10인치 또는 10인치 이상(특히 30인치 또는 30인치 이상)에서 유용하다.

위에 언급한 대로, 본 발명의 적용범위는 극히 넓고, 본 발명은 모든 분야의 전자장치에 적용될 수 있다. 또한, 실시예 1 내지 실시예 10에서 나타낸 전자장치의 다른 구성이 실시예 11에서 적용될 수도 있다.

발명의 효과

본 발명에 의해, 플라스틱보다 높은 내열성을 가진 기판(소자형성기판)이 반도체소자의 제작처리에 사용되기 때문에, 뛰어난 전기적 특성을 가진 반도체소자가 제작될 수 있다. 또한, 소자형성기판은 반도체소자 및 발광소자기 형성되고 플라스틱지지대에 부착된 후에 분리된다.

따라서, 플라스틱지지대를 지지기판으로서 사용하고 높은 성능의 전기장치를 제작하는 것이 가능하다. 또한, 지지기판이 플라스틱이기 때문에, 전기장치는 유연하고 가볍게 만날 수 있다.

또한, 제공된 발광소자와 반도체소자를 가진 하층막 및 플라스틱지지대 사이에 월리필터를 제공하여, 칼라 표시가 완성될 뿐만 아니라 월리필터가 차광막으로 적용될 수 있고 따라서 장치의 신뢰도를 향상시킬 수 있다.

(57) 충구의 경위

청구항 1

기판 위의 접착층:

상기 접착층 위의 절연막: 및

상기 절연막 위의 발광소자층을 포함한 반도체 정치로서.

상기 발광소자로부터 상기 기판으로 발광되는 것을 특징으로 하는 반도체 정치.

청구항 2

세 1항에 있어서, 상기 기판이 유기물질을 포함한 플라스틱기판인 것을 특징으로 하는 반도체 정치.

청구항 3

제 1항에 있어서, 상기 반도체장치가 또한 상기 절연막 위에 구동회로를 포함하고, 상기 발광소자 및 상기 구동회로가 TFT를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1항에 있어서, 칼라필터가 상기 발광소자기 배열된 상기 기판의 위치에서 제공되는 것을 특징으로 하는 반도체 장치.

청구항 5

제 4항에 있어서, 상기 절연막이 상기 칼라필터를 뒤고 평탄하다는 것을 특징으로 하는 반도체 장치.

청구항 6

제 4항에 있어서, 상기 칼라필터의 적색칼라필터기 적이도 상기 TFT의 채널형성영역이 배열된 위치에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 7

제 1항에 있어서, 상기 접착층이 폴리미드, 아크릴, 및 에폭시수지로 구성된 군으로부터 선택된 물질을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8

제 1항에 있어서, 고정기판이 상기 기판에 면하도록 상기 발광소자에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 9

제 4항에 있어서, 상기 칼라필터와 함께 블랙마스크를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 10

제 1항에 있어서, 상기 반도체 장치가 비디오카메라, 디지털카메라, 가글형 표시, 차량항법시스템, 개인용 컴퓨터, 및 개인용 디지털보조수단으로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 장치.

청구항 11

유기 물질을 포함하고 제공된 TFT를 가진 제 1기판:

제 2기판: 및

제 1 및 제 2기판사이에 험유된 액정물질을 포함하는 반도체 장치로서.

칼라필터가 상기 제 1기판 및 상기 TFT사이에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 12

제 11항에 있어서, 유기물질을 포함한 상기 제 1기판이 플라스틱기판인 것을 특징으로 하는 반도체 장치.

청구항 13

제 11항에 있어서, 상기 칼라필터를 뒤고 평탄한 절연막을 또한 포함하는 것을 특징으로 하는 반도체 장치.

청구항 14

제 11항에 있어서, 상기 칼라필터가 적어도 상기 TFT의 채널형성영역이 배치된 위치에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 15

제 11항에 있어서, 상기 칼라필터와 함께 블랙마스크를 또한 포함하는 것을 특징으로 하는 반도체 장치.

청구항 16

제 11항에 있어서, 상기 반도체 장치가 비디오카메라, 디지털카메라, 가글형 표시, 차량항법시스템, 개인용 컴퓨터, 및 개인용 디지털보조수단으로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 장치.

청구항 17

기판 위에 제공된 칼라필터:

상기 기판 및 상기 칼라필터 위의 접착층:

상기 접착층 위의 절연막: 및

상기 절연막 위의 발광소자를 포함한 반도체 장치로서.

상기 발광소자로부터 상기 기판으로 발광되고, 상기 기판이 유기물질을 포함한 플라스틱기판이라는 것을 특징으로 하는 반도체 장치.

청구항 18

제 17항에 있어서. 상기 반도체 장치가 또한 상기 절연막 위의 구동회로를 포함하고, 상기 발광소자 및 상기 구동회로가 TFT를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 19

제 17항에 있어서. 상기 발광소자가 배치된 위치를 특징으로 하는 반도체 장치.

청구항 20

제 17항에 있어서. 상기 칼라필터의 적색칼라필터가 적어도 상기 TFT의 채널형성영역이 배치된 위치에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 21

제 17항에 있어서. 상기 접착층이 폴리미드, 아크릴, 및 에폭시수지로 구성된 군으로부터 선택된 물질을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 22

제 17항에 있어서. 고정기판이 상기 기판에 면하도록 상기 발광소자에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 23

제 17항에 있어서. 상기 갈라필터와 함께 블랙마스크를 또한 포함하는 것을 특징으로 하는 반도체 장치.

청구항 24

제 17항에 있어서. 상기 반도체 장치가 비디오카메라, 디지털카메라, 기글형 표시, 차량항법시스템, 개인용 컴퓨터, 및 개인용 디지털보조수단으로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 장치.

청구항 25

제 1기판 위에 분리층을 형성하는 단계;

상기 분리층 위에 절연막을 형성하는 단계;

상기 절연막위에 발광소자를 형성하는 단계;

제 1접착층을 사용하여 상기 발광소자 위에 고정기판을 부착하는 단계;

상기 제 1기판을 분리하기 위해 할로겐 불화물이 함유된 가스에 상기 분리층을 노출하여 상기 분리층을 제거하는 단계; 및

제 2접착층을 사용하여 상기 절연막에 제 2기판을 부착하는 단계를 포함한 반도체 장치의 제작방법으로서.

상기 제 2기판이 제공된 칼라필터를 가지는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 26

제 25항에 있어서. 상기 제 1접착층이 폴리미드, 아크릴, 및 에폭시수지로 구성된 군으로부터 선택된 물질을 포함하는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 27

제 25항에 있어서. 상기 제 2접착층이 폴리미드, 아크릴, 및 에폭시수지로 구성된 군으로부터 선택된 물질을 포함하는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 28

제 25항에 있어서. 상기 제 2기판이 플라스틱 기판이라는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 29

제 25항에 있어서. 상기 분리층이 실리콘을 포함하는 막이라는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 30

제 1기판 위에 분리층을 형성하는 단계;

상기 분리층 위에 절연막을 형성하는 단계;

상기 절연막 위에 액티브층, 게이트절연막, 및 게이트전극을 형성하는 단계;

상기 게이트전극을 덮도록 하기 위해 제 1중간 절연막을 형성하는 단계;

상기 제 1중간 절연막 위에 배선 및 화소전극을 형성하는 단계;

밀봉재를 사용하여 상기 제 1기판 위에 대형전극이 제공된 고정기판을 부착하는 단계;

상기 화소전극 및 상기 대형전극사이에 액정을 주입하는 단계;

상기 제 1기판을 분리하기 위해 할로겐 불화물이 함유된 가스에 상기 분리층을 노출하여 상기 분리층을 제

거하는 단계: 및

접착층을 사용하여 상기 절연막에 제 2기판을 부착하는 단계를 포함한 반도체 장치의 제작방법으로서.

상기 제 2기판이 제공된 칼라필터를 가지는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 31

제 30항에 있어서. 상기 접착층이 폴리미드, 이크릴, 및 에폭시수지로 구성된 군으로부터 선택된 물질을 포함하는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 32

제 30항에 있어서. 상기 월리필터가 상기 제 2기판의 측면에서 보여지는 상기 액티브층과 함께 배열되는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 33

제 30항에 있어서. 상기 액티브층과 함께 배열되는 상기 칼라필터가 적색칼라필터라는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 34

제 30항에 있어서. 상기 제 2기판이 플라스틱 기판이라는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 35

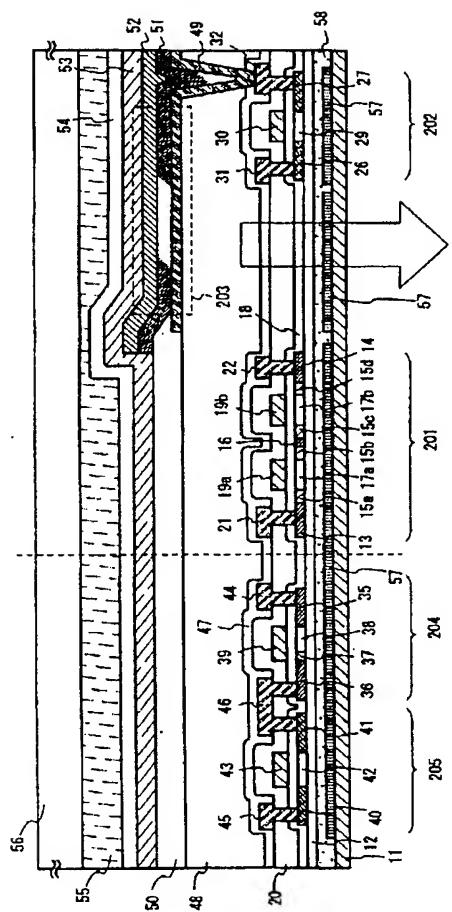
제 30항에 있어서. 상기 고정기판이 투광성 기판이라는 것을 특징으로 하는 반도체 장치의 제작방법.

청구항 36

제 30항에 있어서. 상기 분리층이 실리콘을 포함하는 막이라는 것을 특징으로 하는 반도체 장치의 제작방법.

৫৭

二四一



35-17

82-45

FIG 2

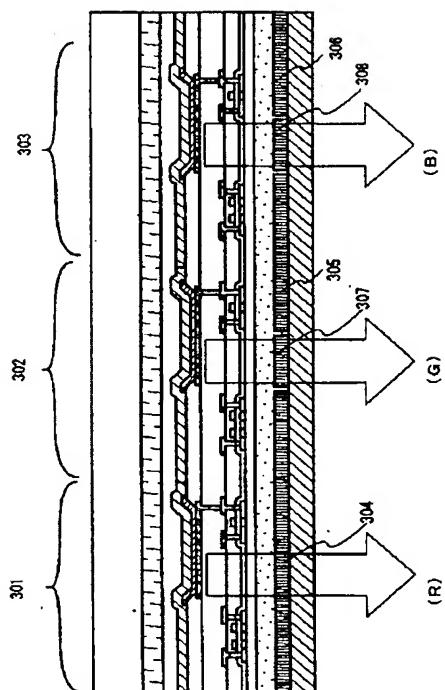
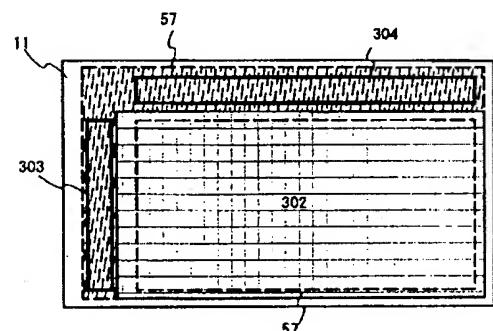
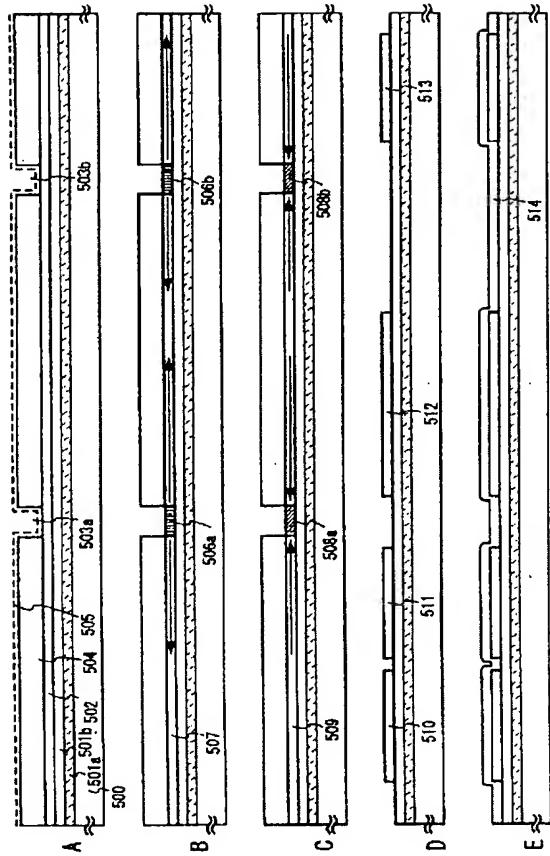


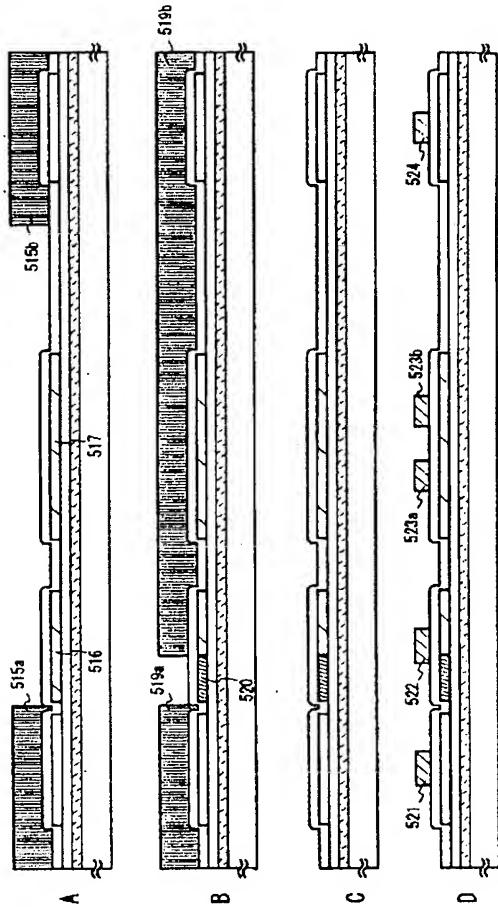
FIG 3



5-214



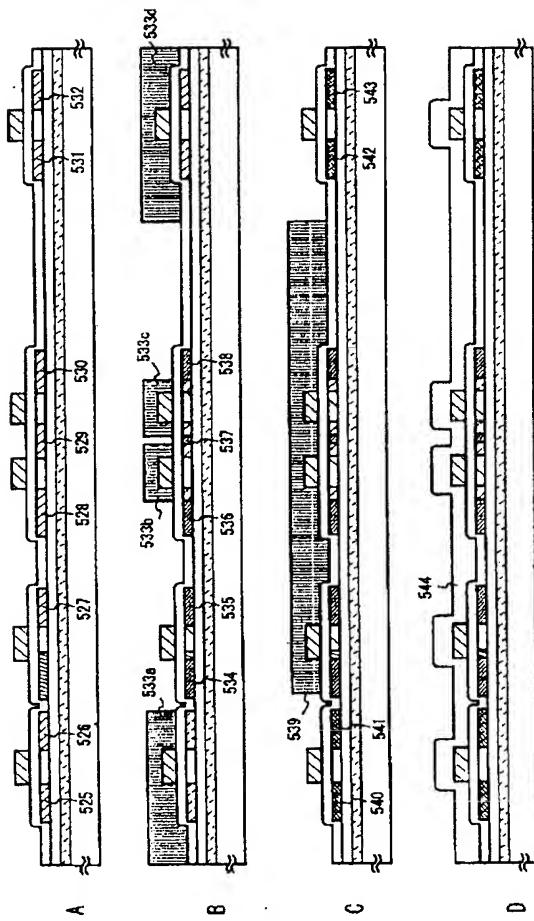
五



35-20

82-48

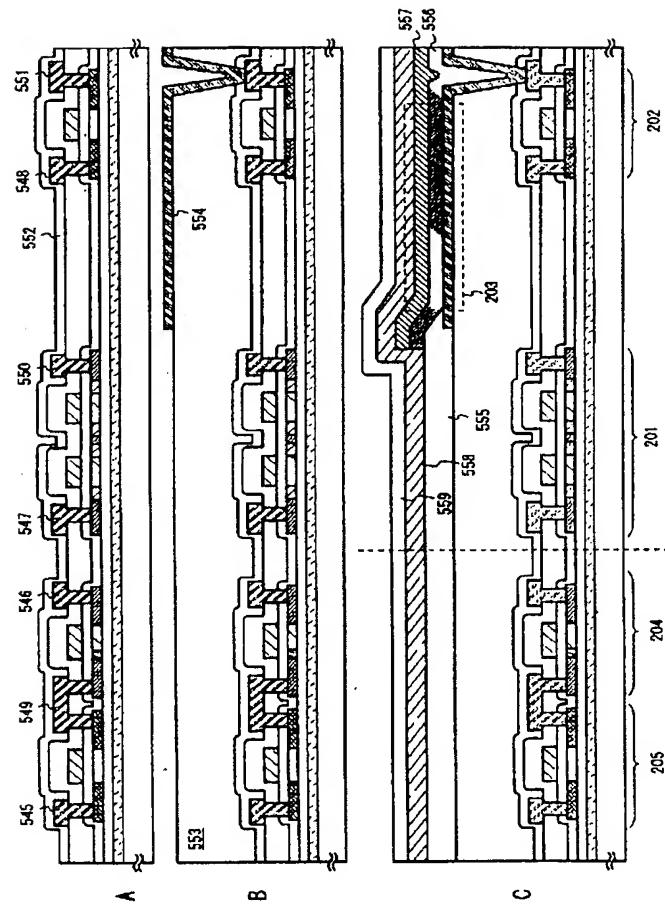
526



35-21

82-49

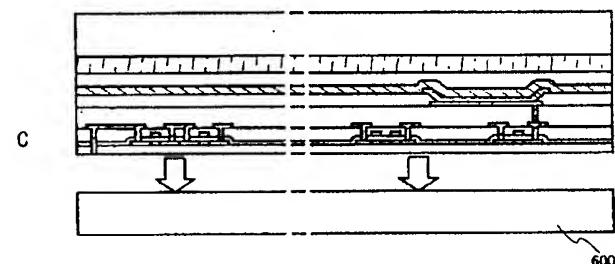
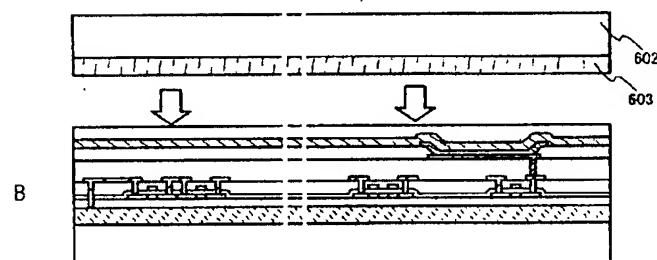
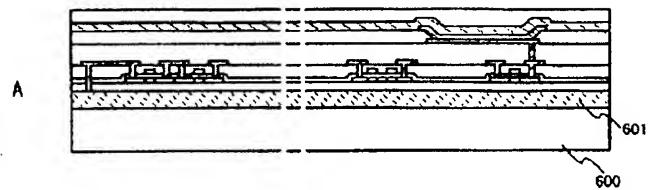
527



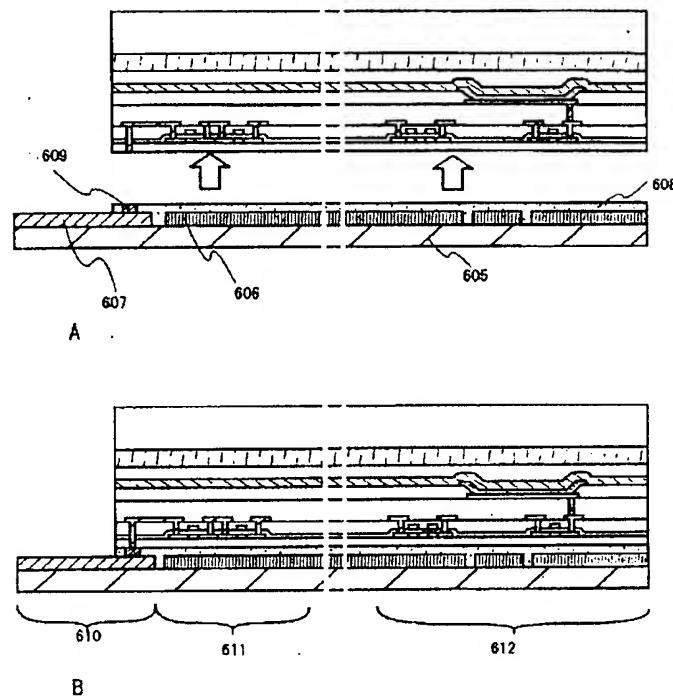
35-22

82-50

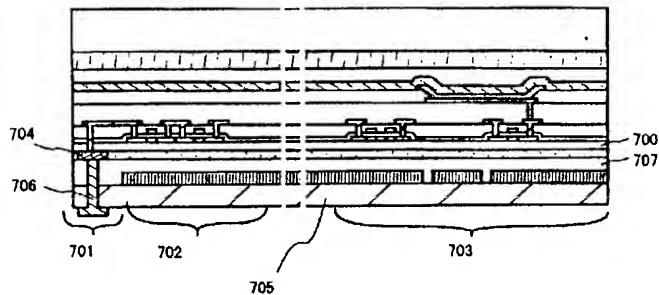
五四8



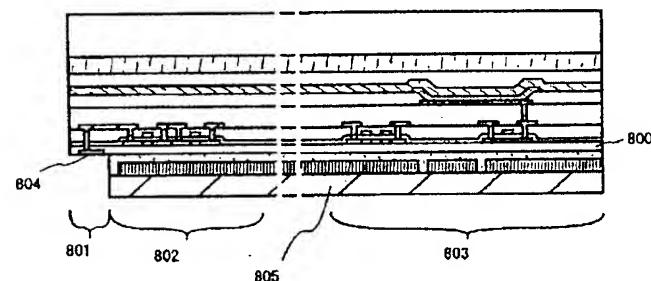
도면9



도면 10

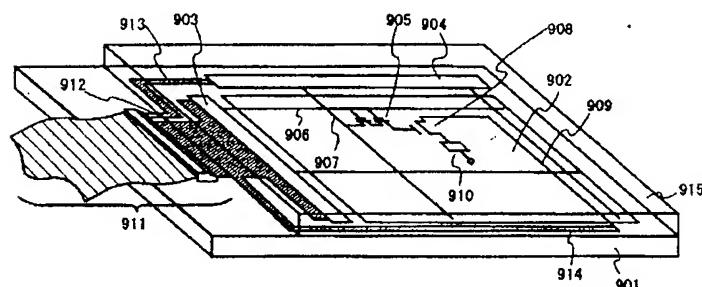


A

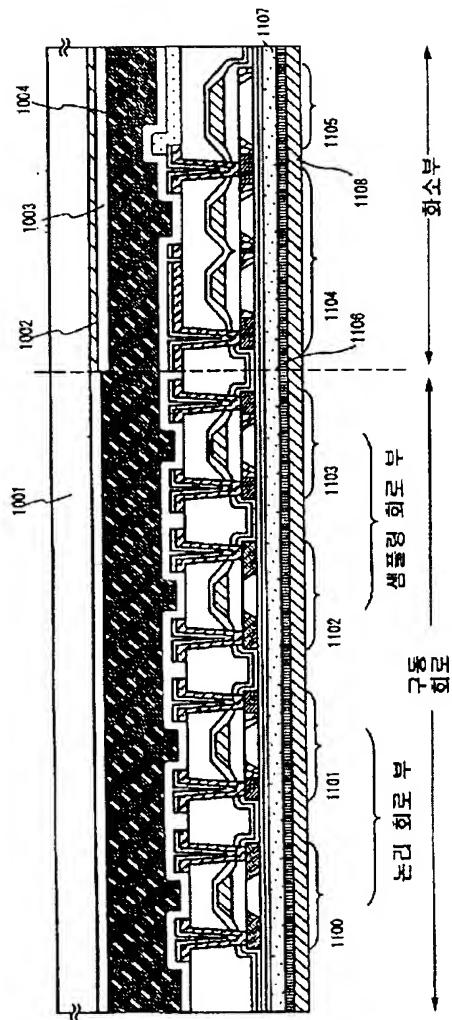


B

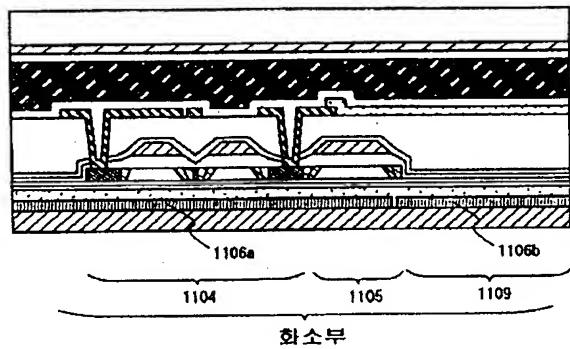
도면 11



5-2412



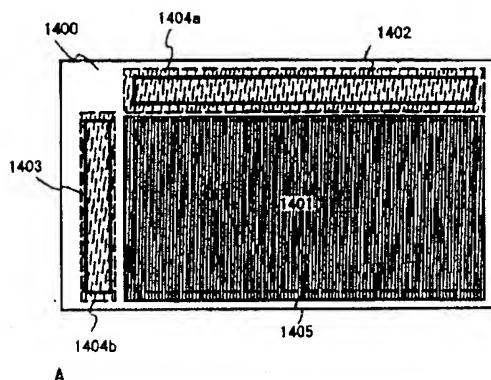
도면13



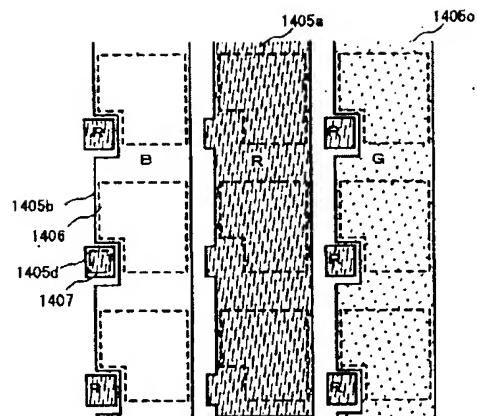
35-27

82-55

图14

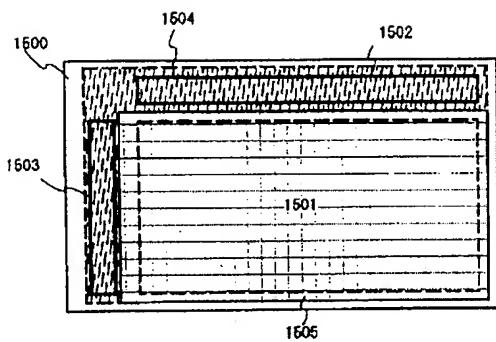


A

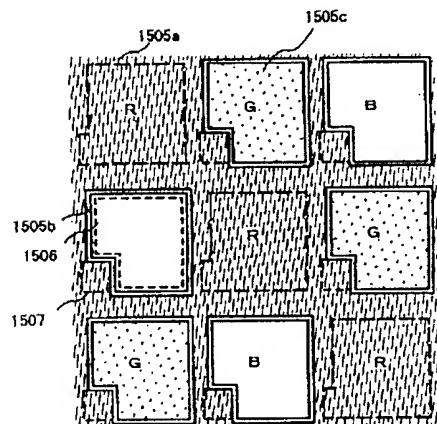


B

5215

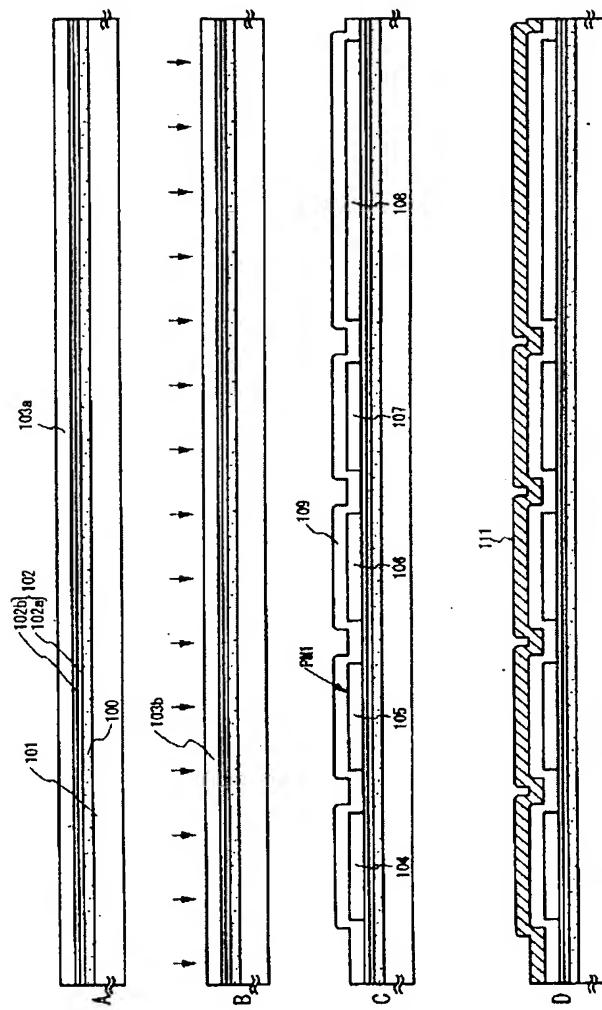


A



B

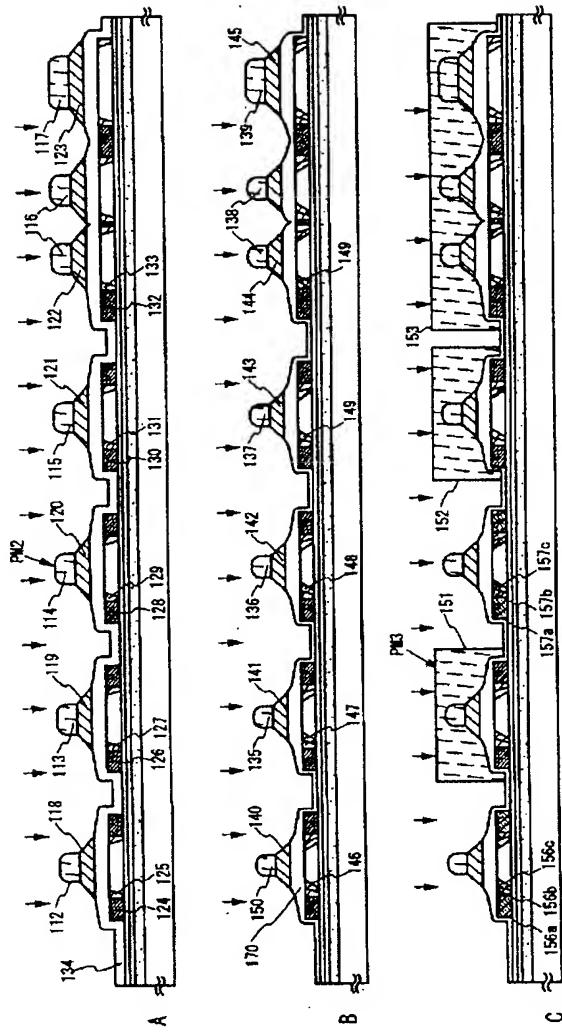
10'



35-30

82-58

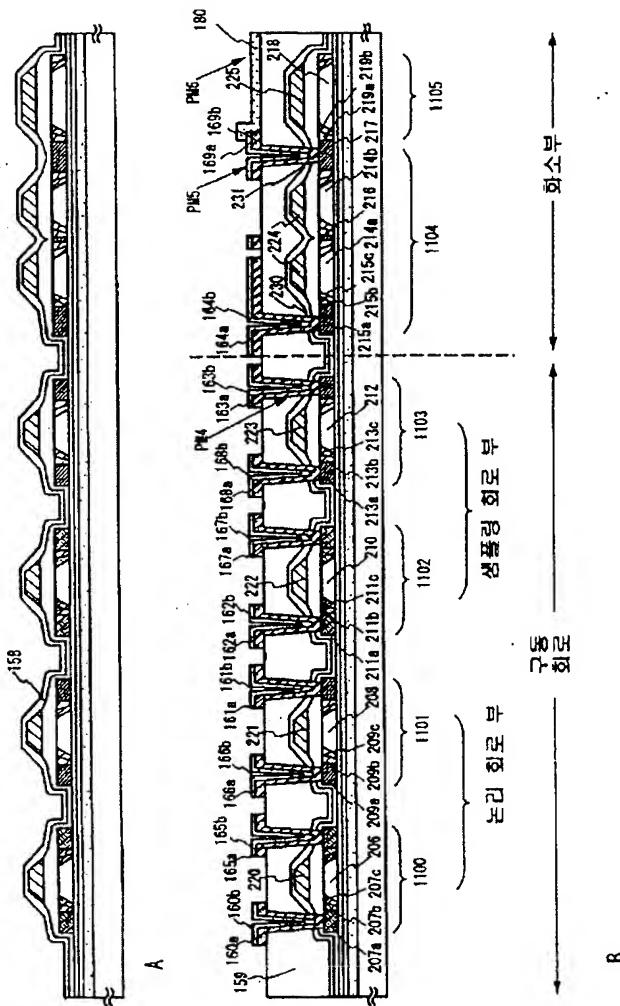
5217



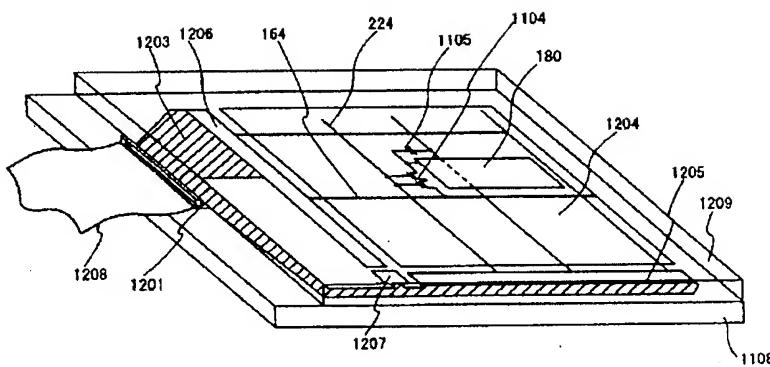
35-31

82-59

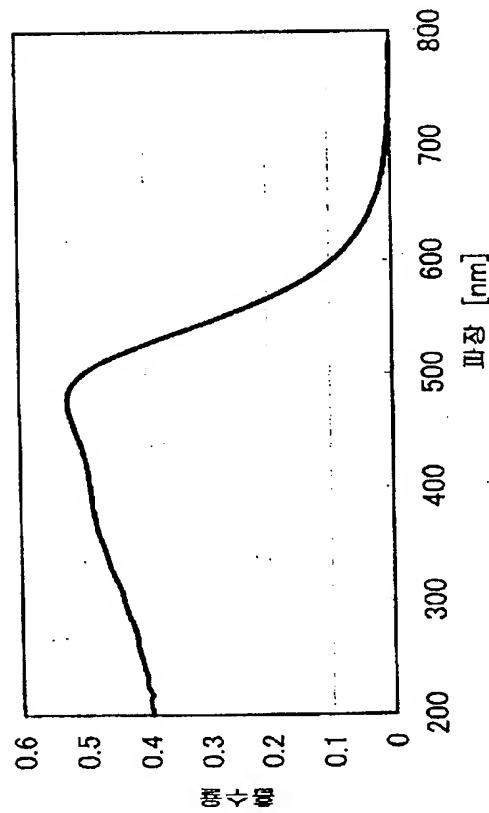
도면 18



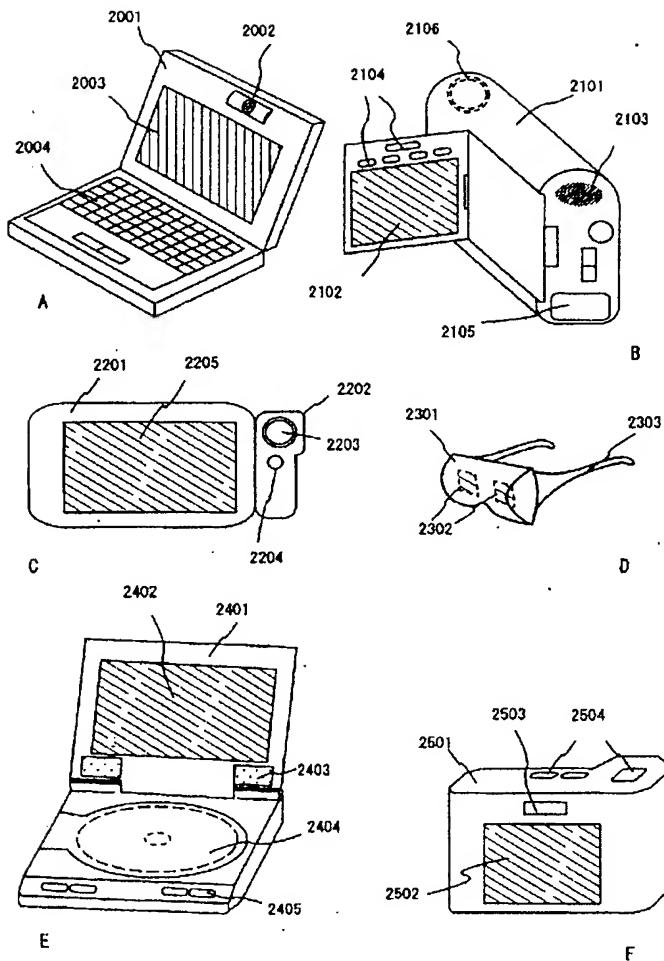
도면 19



도면 20



5-21



도면22

